

DIALOG(R)File 351:Derwent WPI
(c) 2001 Derwent Info Ltd. All rts. reserv.

011375193 **Image available**
WPI Acc No: 1997-353100/199733
XRPX Acc No: N97-292562

**Digital video camera for colour images - calculates clamp level on basis
of average level of two pixels included in each line, within front end
optical black level detection area**

Patent Assignee: SANYO ELECTRIC CO LTD (SAOL); SONY CORP (SONY)
Inventor: AKIO K; IDE H; ISHIGAMI T; KOBAYASHI A; MURATA H; NAITO Y; OKADA
H; ISHIGAMII T

Number of Countries: 006 Number of Patents: 004

Patent Family:

Patent No	Kind	Date	Applicat No	Kind	Date	Week
EP 784397	A2	19970716	EP 97100350	A	19970110	199733 B
JP 9200605	A	19970731	JP 963647	A	19960112	199741
KR 97060873	A	19970812	KR 97585	A	19970111	199838
US 6304292	B1	20011016	US 97780930	A	19970109	200164

Priority Applications (No Type Date): JP 963647 A 19960112

Cited Patents: No-SR.Pub

Patent Details:

Patent No	Kind	Lan	Pg	Main IPC	Filing Notes
EP 784397	A2	E	34	H04N-003/15	
Designated States (Regional): DE FR GB					
JP 9200605	A		27	H04N-005/243	
KR 97060873	A			H04N-005/225	
US 6304292	B1			H04N-005/217	

Abstract (Basic): EP 784397 A

The video camera includes a switching device for changing between two operational modes. In the first mode a whole of each line signal output, from a charge coupled device imager, is used for display. In the second mode only a portion of each line is used.

A period at a back end of the line signal is defined in the first mode. A period at the front end of the signal is defined in the second mode. The line signal is converted into a digital signal. A clamp level is calculated on the basis of the digital signal in one of the defined periods. The line signal is then clamped at this level.

ADVANTAGE - Secure clamping of optical black level in quadruplication mode. Prevents black level deviation.

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平9-200605

(43) 公開日 平成9年(1997)7月31日

(51) Int.Cl. ⁸	識別記号	序内整理番号	F I	技術表示箇所
H 0 4 N	5/243		H 0 4 N	5/243
	5/16			5/16
	5/335			5/335
				A
				Q

審査請求 未請求 請求項の数 4 O L (全 27 頁)

(21) 出願番号 特願平8-3647

(22) 出願日 平成8年(1996)1月12日

(71) 出願人 000001889

三洋電機株式会社

大阪府守口市京阪本通2丁目5番5号

(71) 出願人 000002185

ソニー株式会社

東京都品川区北品川6丁目7番35号

(72) 発明者 井出 廣一

大阪府守口市京阪本通2丁目5番5号 三

洋電機株式会社内

(72) 発明者 小林 昭男

大阪府守口市京阪本通2丁目5番5号 三

洋電機株式会社内

(74) 代理人 弁理士 山田 義人

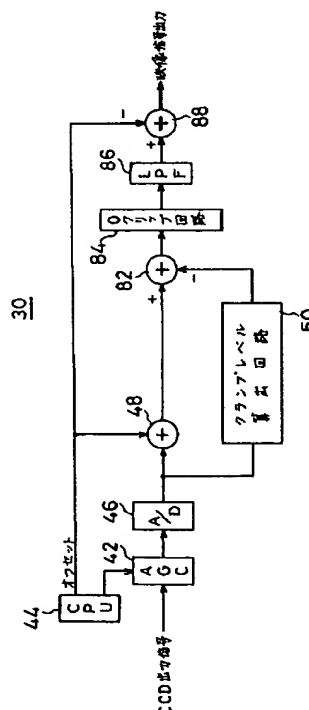
最終頁に続く

(54) 【発明の名称】 デジタルビデオカメラ

(57) 【要約】

【構成】 A/D変換器46からの出力にCPU44で設定したオフセット値を加算回路48で加算する。クランプレベル算出回路50は、通常速度撮影モード（第1撮影モード）では各ライン信号の後縁8画素分のOBレベルに基づいて、また4倍速撮影モード（第2撮影モード）では各ライン信号の前縁2画素分のOBレベルに基づいて、第1撮影モードのクランプレベルまたは第2撮影モードのクランプレベルを算出する。加算回路48の出力からクランプレベルを第1減算回路82で減算することによってクランプする。第1減算回路82の出力をゼロクリップ回路84でゼロクリップした後、ローパスフィルタ86を通し、さらに第2減算回路88において同じオフセット値を減算する。

【効果】 4倍速撮影モードにおいても、黒浮きのない映像信号を得ることができる。



【特許請求の範囲】

【請求項1】CCDイメージャから出力される各ライン信号をすべて利用する第1撮影モードと各ライン信号の前縁を含む一部のみを利用する第2撮影モードとを切り換える操作手段、

前記第1撮影モードにおいて前記ライン信号の後縁の第1所定期間を規定する第1期間設定手段、

前記第2撮影モードにおいて前記ライン信号の前縁の第2所定期間を規定する第2期間設定手段、

前記CCDイメージャからの各ライン信号をデジタル信号に変換するA/D変換手段、

前記第1所定期間または前記第2所定期間において前記A/D変換手段からのデジタル信号に基づいて各ライン信号のクランプレベルを算出するクランプレベル算出手段、および前記クランプレベルを基に前記ライン信号をクランプするクランプ手段を備える、デジタルビデオカメラ。

【請求項2】前記CCDイメージャは、M個の光電変換素子に蓄積されたM個の電荷を1フィールド期間にN回（Nは2以上の整数）読み出すとともに、この読み出された電荷を垂直方向に転送する垂直転送CCDと、この垂直転送CCDにより転送された1ライン分の電荷を1水平走査期間に水平方向に転送するL本（Lは1以上の整数）の水平転送CCDと、この水平転送CCDに平行に配置された不要電荷掃き出し用のドレインとを設けてなり、

前記第2撮影モードにおいて、前記1フィールド期間に前記CCDイメージャのライン数のN倍の垂直転送パルスの前記垂直転送CCDに供給するとともに、M個の電荷のうち $1/N \times M$ 個の電荷を前記水平転送CCDで転送し、 $(1 - 1/N) \times M$ 個の電荷は前記ドレインに掃き出すように前記CCDイメージャを駆動する駆動回路を備える、請求項1記載のデジタルビデオカメラ。

【請求項3】前記A/D変換手段からのデジタル信号からクランプレベルを減算する第1減算手段、

前記A/D変換手段からのデジタル信号および前記第1減算手段からのクランプされたデジタル信号の一方に所定のオフセット値を加算する加算手段、

前記加算手段によって前記所定のオフセット値が加算されたデジタル信号をゼロクリップするクリップ手段、

前記クリップ手段からのデジタル信号を処理するローパスフィルタ手段、および前記ローパスフィルタ手段からのデジタル信号から前記所定のオフセット値を減算する第2減算手段を備える、請求項1記載のデジタルビデオカメラ。

【請求項4】前記クランプレベル算出手段は、各ライン出力信号に含まれる光学的黒部分の平均値を算出する平均値手段、および各ライン毎に前記平均値手段から得られる光学的黒部分の平均値に基づいて前記クランプレベルを算出する巡回型フィルタ手段を含む、請求項1ない

し3記載のデジタルビデオカメラ。

【発明の詳細な説明】

【0001】

【産業上の利用分野】この発明はデジタルビデオカメラに関し、特にたとえばモザイク型カラーフィルタあるいはストライプ型カラーフィルタを用いるCCDからの撮像信号をデジタル的に処理して黒レベルをクランプする、デジタルビデオカメラに関する。

【0002】

【従来の技術】デジタルビデオカメラにおいて簡単な回路で黒レベルをクランプすることができる技術の一例が、たとえば平成5年9月21日付で出願公開された特開平5-244490号公報〔H04N 5/243, 5/16, 5/335, 9/04, 9/72〕に開示されている。

【0003】この従来技術は、CCD出力にオフセット値を加算した後、CCD出力の後縁の光学的黒（Optical Black: OB）レベルに基づいて算出したクランプレベルを減算し、再びそのオフセット値を減算することによって、入力部分でクランプするだけで黒浮きのない映像信号を出力するものである。他方、平成7年8月11日付で出願公開された特開平7-212657号公報〔H04N 5/335〕において、たとえば2倍速または4倍速等のN倍速の高速撮影を可能にする技術が開示されている。この従来技術は、CCD出力の一部のみをカメラ信号として使用し、残りはドレインに掃き出すものである。

【0004】

【発明が解決しようとする課題】したがって、後者の従来技術に前者の従来技術のような方法をそのまま適用することはできない。なぜなら、前者の従来技術で利用するCCD出力の後縁のOBレベルは後者の従来技術においては掃き出されてしまうからである。それゆえに、この発明の主たる目的は、高速撮影モードにおいても黒レベルを確実にクランプすることができる、デジタルビデオカメラを提供することである。

【0005】

【課題を解決するための手段】この発明は、CCDイメージャから出力される各ライン信号をすべて利用する第1撮影モードと各ライン信号の前縁を含む一部のみを利用する第2撮影モードとを切り換える操作手段、第1撮影モードにおいてライン信号の後縁の第1所定期間を規定する第1期間設定手段、第2撮影モードにおいてライン信号の前縁の第2所定期間を規定する第2期間設定手段、CCDからの各ライン信号をデジタル信号に変換するA/D変換手段、第1所定期間または第2所定期間においてA/D変換手段からのデジタル信号に基づいてクランプレベルを算出するクランプレベル算出手段、およびクランプレベルを基にライン信号をクランプするクランプ手段を備えるデジタルビデオカメラである。

【0006】デジタルビデオカメラは、さらにA/D変換手段からのデジタル信号からクランプレベルを減算する第1減算手段、A/D変換手段からのデジタル信号および第1減算手段からのクランプされたデジタル信号の一方に所定のオフセット値を加算する加算手段、加算手段によって所定のオフセット値が加算されたデジタル信号をゼロクリップするクリップ手段、クリップ手段からのデジタル信号を処理するローパスフィルタ手段、およびローパスフィルタ手段からのデジタル信号から所定のオフセット値を減算する第2減算手段を備える。

【0007】

【作用】 相關2重サンプリング回路においてリセットノイズが除去されたCCDからの出力信号は、たとえば自動利得制御回路によって適当な振幅に調整された後、A/D変換手段によってデジタル信号に変換される。操作手段は第1撮影モードとたとえば4倍速のような第2撮影モードとを切り換える。たとえば後縁クランプタイミング回路のような第1期間設定手段は第1撮影モードにおいて各ラインの後縁の光学的黒部分を含む第1所定期間を規定し、たとえば前縁クランプタイミング回路のような第2期間設定手段は第2撮影モードにおいて各ラインの前縁の光学的黒部分を含む第2所定期間を規定する。

【0008】 クランプレベル算出手段は、A/D変換手段からのデジタル信号に基づいて、第1所定期間または第2所定期間中の光学的黒の平均値（OBレベル）を各ライン毎に算出しかつその平均値から巡回型フィルタによってクランプレベルを算出する。このクランプレベルがA/D変換手段からのデジタル信号から第1減算手段によって減算され、したがってこのデジタル信号がクランプされる。一方、加算手段がA/D変換手段と第1減算手段との間または第1減算手段の後に設けられ、加算手段がA/D変換手段からのデジタル信号または第1減算手段からのクランプされたデジタル信号に所定のオフセット値を加算する。その状態でクリップ手段によってデジタル信号をゼロクリップすると、オフセットのためにランダムノイズの負の成分が残る。したがって、クリップ手段からのデジタル信号をローパスフィルタ手段に与え、かつその後第2減算手段によって加算手段が加算したと同じオフセット値をローパスフィルタ手段からのデジタル信号から減じると、光学的黒部分がほぼゼロになり、したがって黒浮きを生じない。

【0009】

【発明の効果】 この発明によれば、操作手段によって第1撮影モードまたは第2撮影モードのいずれを設定してもクランプレベルを算出できるので、A/D変換手段の後にチャネル毎に1つのクランプ回路を設けるだけで、黒レベルをクランプすることができる。しかも、加算手

段によって所定のオフセット値を加算した後ゼロクリップしかつローパスフィルタ手段を通し、その後と同じオフセット値を第2減算手段で減じるようにしているので、光学的黒部分がほぼゼロレベルとなり、黒浮きを生じることがない。

【0010】 この発明の上述の目的、その他の目的、特徴および利点は、図面を参照して行う以下の実施例の詳細な説明から一層明らかとなろう。

【0011】

【実施例】 図1に示す第1実施例のデジタルビデオカメラ10は、固体撮像素子ユニット12を含み、この固体撮像素子ユニット12は、図2に示すように、M個の光電変換用フォトダイオード14および垂直転送CCD16を含む。垂直転送CCD16は垂直駆動回路18によって駆動され、水平転送CCD20は水平駆動回路22によって駆動される。水平転送CCD20に並列にドレイン24が配置されていて、このドレイン24は、高速撮影時に不要な電荷を掃き出すために利用される。つまり、掃き出し制御ゲート26を通して水平転送CCD20から送られた電荷が、ドレイン24から掃き出される。

【0012】 なお、この実施例では、固体撮像素子ユニット12には、図18(a)に示す補色のモザイクカラーフィルタが装着され、フォトダイオード14から垂直転送CCDに電荷を出力する際に、奇数フィールドでは図18(b)のように、偶数フィールドでは図18

(c)のようにそれぞれ垂直2画素の電荷が混合されるので、固体撮像ユニット12の垂直画素数は「480」であるが、各フィールドにおいて実際に固体撮像ユニットから出力されるライン数は「240」になる。ここで、図18の(c)、(d)のような撮像信号より映像信号を作成する手法については、たとえば特開平6-46431号公報にも示されており説明を省略する。

【0013】 通常速度撮影モード（第1撮影モード）では、このような固体撮像素子ユニット12は図3に示すフィールド蓄積モードに従って動作する。すなわち、1フィールドに1回、垂直駆動回路18から垂直転送CCD16に電荷読み出しパルスが供給され、フォトダイオード14に蓄積された電荷が垂直転送CCD16に読み出される。垂直転送CCD16は垂直転送パルスに従って、1H（水平走査期間）に1回、1ライン分の電荷を水平転送CCD20に転送する。水平転送CCD20は、水平駆動回路22の所定周波数の水平転送クロックに従って、1Hに1ライン分の電荷を出力する。

【0014】 これに対して、図1の4倍速スイッチ28が操作されたとき、すなわち、4倍速撮影の場合には、図4に示すように、通常撮影時のCCD出力の内斜線で示す左上1/4の領域からの出力が取り出されて使用される。詳しく述べると、4倍速撮影モード（第2撮影モード）では、図5に示すように、電荷読み出しパルスは

1/4フィールドに1回、垂直転送CCD14に供給される。そして、垂直転送CCD16は、1/2Hに1個ずつかつ1/4フィールド毎の水平ブランキング期間に120個ずつ出力される水平転送パルスによって駆動される。したがって、水平転送CCD20には、1/2H毎に1ライン分の電荷が転送される。つまり、水平転送CCD20は先の通常速度撮影モードと同じ水平転送クロックで駆動されるため、1ラインの前半の電荷を転送し終わって後半の電荷が未だ残っているときに次のラインの電荷が垂直転送CCD14から転送されてくることになる。他方、そのとき掃き出しパルスが供給され、この掃き出しパルスによって掃き出し制御ゲート26が開かれる。したがって、1ラインの後半の電荷は、掃き出し制御ゲート26を経てドレイン24から掃き出される。つまり、4倍速撮影モードにおいては、各ラインの前半の電荷のみが水平転送CCD20から出力され、各ラインの後半の電荷はドレイン24から掃き出される。

【0015】したがって、4倍速撮影モードでは、図4に示すように、CCD画面の左上1/4の部分の画像が水平方向に1/2に圧縮された8個の画像で1画面が構成される。ここで、左右の画像は同一時間軸上の奇数ラインおよび偶数ラインでそれぞれ形成される画像である。このようにして、固体撮像素子ユニット12は、4倍速スイッチ28が操作されていないときには通常撮影モードで動作し、4倍速スイッチ28が操作されているときは4倍速撮影モードで動作する。いずれの場合にも、固体撮像素子ユニット12からのカメラ信号は、信号処理回路30に与えられ、AGC、A/D変換、クランプ等の処理が施される。したがって、信号処理回路30からは、カラーカメラ信号が出力される。

【0016】信号処理回路30からのカラーカメラ信号は、そのままスイッチ32の接点32aに与えられるとともに、並び替え回路34を通して、スイッチ32の接点32bに与えられる。スイッチ32は、4倍速スイッチ28に連動し、4倍速スイッチ28がオフのときは接点32aに接続され、4倍速スイッチ28がオンされているとき接点32bに接続される。したがって、スイッチ32からは、4倍速スイッチ28がオフのときには、信号処理回路30からのカラーカメラ信号が出力され、4倍速スイッチ28がオンのときには、並び替え回路34からのカラーカメラ信号が出力されることになる。

【0017】並び替え回路34は、図6に示すように、8個のメモリa1、a2、b1、b2、c1、c2、d1およびd2と、メモリ制御回路36とを含む。各メモリa1、a2、b1、b2、c1、c2、d1およびd2は、1/8画面分のメモリであり、図4に示す8個の領域A1、A2、B1、B2、C1、C2、D1およびD2の信号をそれぞれ記憶する。すなわち、メモリa1、a2、b1、b2、c1、c2、d1およびd2の書き込み時には、図7に示すように、ライトイネーブル

信号にตอบสนองして、最初の1/4フィールドではメモリa1およびa2に1/2H毎に交互に信号が書き込まれ、次の1/4フィールドではメモリb1およびb2に1/2H毎に交互に信号が書き込まれ、以下同様にして、全てのメモリa1、a2、b1、b2、c1、c2、d1およびd2にカラーカメラ信号が書き込まれる。

【0018】そして、読み出し時には、図8に示すように、リードイネーブル信号にตอบสนองして、最初の1/2フィールド期間（前半フィールド）ではメモリa1、b1、a2およびb2の順で繰り返し読み出され、次の1/2フィールド期間（後半フィールド）ではメモリc1、d1、c2およびd2の順で繰り返し読み出される。したがって、この並び替え回路34からは、図4（C）に示すカラーカメラ信号が出力される。

【0019】図1のスイッチ32から出力されるカラーカメラ信号は、記録回路（図示せず）に与えられるとともに、スイッチ38の接点38aおよび拡大回路40を経てスイッチ38の接点38bに与えられる。拡大回路40は、4倍速撮影モードにおいて、スイッチ32からのカラーカメラ信号を水平方向および垂直方向にそれぞれ2倍に拡大する。そして、スイッチ38は、先のスイッチ32と同様に、4倍速スイッチ28に連動する。したがって、4倍速スイッチ28がオフのときには、ビューファインダ（図示せず）には、スイッチ32からのカラーカメラ信号がそのまま与えられ、4倍速スイッチ28がオンしているときには、ビューファインダには、スイッチ38から出力される拡大回路40によって拡大されたカラーカメラ信号が与えられる。

【0020】ここまでで、デジタルビデオカメラ10の通常撮影モードすなわち第1撮影モードおよび4倍速撮影モードすなわち第2撮影モードについて簡単に説明した。以下には、信号処理回路30におけるクランプ処理について説明する。図9に示すこの実施例の信号処理回路30は、相関2重サンプリング回路（図示せず）においてリセットノイズが除去された固体撮像素子ユニット12からの出力信号を受ける自動利得制御（AGC）回路42を含み、このAGC回路42はCPU44からたとえばPWM信号として与えられる利得制御信号に基づいてAGC電圧を発生するAGC電圧発生回路（図示せず）からのAGC電圧に応じて、固体撮像素子ユニット12からの出力信号を最適な振幅にしてA/D変換器46に与える。A/D変換器46では、固体撮像素子ユニット12からの出力信号をデジタル信号に変換し、このデジタル信号が加算回路48およびクランプレベル算出回路50に与えられる。

【0021】加算回路48では、CPU44から与えられるオフセット値を、A/D変換器46から出力されるデジタル信号に加算する。このオフセット値は、好ましくは、AGC回路42に設定する利得の大きさに応じて設定する。たとえば、AGC回路42の利得が大きい

ときにはオフセット値を大きくし、逆のときにはオフセット値を小さくする。

【0022】一方、クランプレベル算出回路50は、簡単にいうと、図10に示す遮光エリアのうち、前縁OBレベル検出エリアまたは後縁OBレベル検出エリアにおける光学的黒部分(OB)の各ライン毎の平均値(「OBレベル」と呼ぶ)を算出し、それに基づいてクランプレベルを算出する。具体的には、クランプレベル算出回路50は、図11に示される。

【0023】図11を参照して、クランプレベル算出回路50は、A/D変換器46からのたとえば8ビットのデジタル信号(入力データ)を受ける選択回路52を含み、この選択回路52では、その入力データを1倍したもの($\times 1$)または2倍したもの($\times 2$)を選択的に出力して加算回路54に与える。加算回路54には、アンドゲート56を通して、選択回路58、60および62で選択されたデータが与えられる。アンドゲート56は図12または図13に示す信号VSETによって制御される。この信号VSETは図10に示す前縁OBレベル検出エリアおよび後縁OBレベル検出エリアのそれぞれの始まりの奇数および偶数各1画素でのみローレベルとなる信号である。また、選択回路58および60は図12または図13に示す信号HSETによって制御され、与えられたデータを1/2倍したもの($1/2$)または1倍したもの(1)を選択的に出力する。この信号HSETは図12または図13に示すように、図10に示す前縁OBレベル検出エリアおよび後縁OBレベル検出エリアの各ラインの始端の奇偶2画素分でローレベルとなる信号である。選択回路62は、信号ODD/EVENによって制御され、信号ODD/EVENがハイレベルのとき選択回路58の出力を、ローレベルのとき選択回路60の出力を、それぞれ選択して出力する。この信号ODD/EVENは、図12または図13に示すように、CCDの奇数画素のときハイレベルとなり偶数画素のときローレベルとなる信号である。

【0024】そして、加算回路54の出力は加算レジスタ262に与えられる。この加算レジスタ262は奇数用レジスタ64および偶数用レジスタ66を含み、加算回路54の出力のうち奇数画素のデータが奇数用レジスタ64に与えられ、偶数画素のデータが偶数用レジスタ66に与えられる。奇数用レジスタ64および偶数用レジスタ66からの出力は先に述べた2つの選択回路58および60にそれぞれ与えられるとともに、クランプ値レジスタ68に含まれる奇数用レジスタ70および偶数用レジスタ72にそれぞれ与えられる。加算レジスタ262は加算回路54からの出力をラッチし、クランプ値レジスタ68は加算レジスタ262からの出力をラッチする。ただし、加算レジスタ262の奇数用レジスタ64および偶数用レジスタ66からの出力は、それぞれ、1/16されてクランプ値レジスタ68の奇数用レジスタ

70および偶数用レジスタ72にそれぞれラッチされる。

【0025】加算レジスタ262の奇数用レジスタ64は信号CLKODDをラッチ信号として受け、偶数用レジスタ66はCLK EVENをラッチ信号として受ける。図12または図13に示すように、信号CLKODDは奇数画素毎に出力されるクロックであり、信号CLK EVENは偶数画素毎に出力されるクロックである。そして、クランプ値レジスタ68の奇数用レジスタ70および偶数用レジスタ72には、信号CLKHDが共通のラッチタイミング信号として与えられる。信号CLKHDは、各ライン毎に図10で示す右端の1画素においてのみハイレベルとなる信号である。

【0026】そして、クランプ値レジスタ68の奇数用レジスタ70の出力および偶数用レジスタ72の出力が選択回路74に与えられる。この選択回路74は先の選択回路62と同様に、信号ODD/EVENによって制御され、信号ODD/EVENがハイレベルのとき奇数用レジスタ70の出力を、ローレベルのとき偶数用レジスタ72の出力を選択して出力する。

【0027】図12または図13に示す各タイミング信号は、図1に示すタイミングジェネレータ76で作成される。すなわち、タイミングジェネレータ76の一部には、図14に示す前縁クランプタイミング回路78および後縁クランプタイミング回路80が含まれ、前縁クランプタイミング回路78および後縁クランプタイミング回路80は、ともに、マスタクロックCLKと水平同期信号HDとを受け、図10および図15に示す前縁OBレベル検出エリア(第2所定期間)および後縁OBレベル検出エリア(第1所定期間)をそれぞれ規定する。

【0028】より詳しく述べると、前縁クランプタイミング回路78は、適宜のゲート回路やROMデコーダで構成され、マスタクロックCLKおよび水平同期信号HDに基づいて、前縁OBレベル検出エリアにおける各ライン信号の奇数画素の2画素分および偶数画素の2画素分の時間(第2所定期間)においてのみ図13に示すタイミング信号を出力する。

【0029】後縁クランプタイミング回路80も、同様に、適宜のゲート回路やROMデコーダで構成され、マスタクロックCLKおよび水平同期信号HDに基づいて、後縁OBレベル検出エリアにおける各ライン信号の奇数画素の8画素分および偶数画素の8画素分の時間(第1所定期間)においてのみ図12に示すタイミング信号を出力する。

【0030】前縁クランプタイミング回路78および後縁クランプタイミング回路80の出力信号が、4倍速スイッチ28に連動するスイッチ81によって切り換えられて出力される。したがって、クランプレベル算出回路50は、タイミングジェネレータ76の前縁クランプタイミング回路78または後縁クランプタイミング回路80

0から出力されるタイミング信号にตอบสนองして動作する。

【0031】ここで、第1所定期間における図11のクランプレベル算出回路50の動作を説明する。まず奇数画素について、8画素分のOBレベルを計算する。そのために、クランプすべきラインのタイミングで選択回路52が「 $\times 2$ 」に選択される。したがって、入力データが1ビットシフトアップされ、結果的に入力の2倍のデータがこの選択回路52から出力される。このとき、アンドゲート56の制御入力である信号VSETが、図12に示すようにローレベルになるので、加算回路54の出力は、選択回路52から出力される第1奇数画素のデータの2倍のデータである。この2倍のデータが加算レジスタ62の各レジスタ64および66に入力され、図12に示す信号CLKODDに応じて、奇数用レジスタ64にラッチされる。この奇数用レジスタ64にラッチされたデータが選択回路58に与えられる。選択回路58は、図12に示すローレベルの信号HSETに応じて入力データを1倍したデータを選択回路62に出力する。選択回路62は信号ODD/EVENがハイレベルのとき、上側入力を選択しかつローレベルのとき下側入力を選択するので、結果的に、選択回路62からは、選択回路58からの1倍された奇数画素のデータがアンドゲート56に与えられる。すなわち、このときアンドゲート56に入力されるデータは、第1奇数画素の2倍のデータである。

【0032】次の第2奇数画素のデータが入力されたとき、選択回路52から再び2倍されたデータが加算回路54に与えられる。このとき、信号VSETがハイレベルであるため、アンドゲート56を通して第1奇数画素の2倍のデータが加算回路54に与えられる。したがって、加算回路54では、第1奇数画素の2倍のデータと第2奇数画素の2倍のデータとを加算し、その加算結果が加算レジスタ62の奇数用レジスタ64にラッチされる。このような動作が、以後、第8奇数画素まで繰り返され、結果的に、加算レジスタ62の奇数用レジスタ64には、入力データが16倍されたデータがラッチされることになる。

【0033】ライン毎に画面の右端（終わり）でハイレベルとなるラッチ信号CLKHD（図14）にตอบสนองして、加算レジスタ62の奇数用レジスタ64にラッチされたデータが $1/16$ されて、すなわち4ビットシフトダウンされて、クランプ値レジスタ68の奇数用レジスタ70にラッチされる。したがって、選択回路74が、信号ODD/EVENのハイレベルにตอบสนองして、奇数用レジスタ70にラッチされた後縁OBレベル検出エリア（図10）の最初の1ラインの奇数8画素分のOBレベルデータを出力する。

【0034】それ以降のラインすなわち第2ライン以降では、選択回路52は「 $\times 1$ 」を選択し、選択回路58および60は最初の1画素のみ「 $1/2$ 」を選択しそれ

に引き続く7画素のとき「1」を選択する。したがって、加算レジスタ62からは、再び、16倍データが出力され、それが「 $1/16$ 」されることによって、ライン毎の8画素分のOBレベルが選択回路74から出力されることになる。すなわち、加算回路54から加算レジスタ62、選択回路58、60および62ならびにアンドゲート56を通る回路によって巡回型フィルタが構成される。

【0035】ただし、この実施例では巡回型フィルタの重み係数（ k ）は「 $1/2$ 」に設定されているが、この係数は $0 < k < 1$ の範囲で任意に設定できる。すなわち、係数（ k ）を設定することによって、最初のラインのクランプレベルはOBレベルそのままの値となり、2ライン目以降のクランプレベルは前ラインのクランプレベルと新しく得られたOBレベルとの係数（ k ）の加重平均となる。したがって、2ライン目以降のOB部分にノイズが含まれていたとしても、それが画像に対して与える影響を $1/k$ 倍に軽減できる。

【0036】なお、奇数画素についてOBレベルを求めかつクランプレベルを算出する動作のみを説明したが、偶数画素についても、信号ODD/EVENがローレベルとなることによって選択回路62および74が下側入力を選択する点以外は、奇数画素のときと同様の動作を行うので、ここでは重複する説明は省略する。いずれにしても、図12の回路は奇数または偶数画素毎にクランプレベルを算出する。

【0037】次に、第2所定期間におけるクランプレベル算出回路50の動作は、先に説明した第1所定期間における動作と同様であるので、重複する説明は省略する。ただし、第2所定期間では、2画素分のOBレベルを計算する。このようにしてクランプレベル算出回路50からクランプレベルが出力され、それが図9に示す第1減算回路82に入力される。したがって、加算回路48でオフセット値が加算されたデータからクランプレベル算出回路50で算出されたクランプレベルが第1減算回路82によって減算され、A/D変換器46からのデジタル信号がデジタル的にクランプされる。

【0038】第1減算回路82の出力はたとえばオアゲートなどを含むゼロクリップ回路84によってゼロクリップされた（負の数値がゼロレベルに強制された）後、デジタルローパスフィルタ86を経て第2減算回路88に与えられる。この第2減算回路88の減数入力としては、CPU44から加算回路48に与えたと同じオフセット値が与えられる。

【0039】すなわち、加算回路48および第2減算回路88によってオフセット値を加算しかつ減算するこの実施例の場合と、そのようなオフセット値を用いない場合とについて図16および図17を参照して、具体的に説明する。図16（A）および図17（A）は、いずれも、左側が黒で右側が白の被写体を撮影した場合のA/

D変換器46から出力される1ラインのCCD出力信号（デジタル信号）である。実際の信号は、ランダムノイズを含むため、この図16（A）または図17（A）に示すような波形となる。このとき、クランプレベルは点線で示すレベルであり、このレベルで第1減算回路82によってクランプされる。

【0040】オフセット値を加算しない場合には、ゼロクリップ回路84の出力は図16（B）のような信号となる。この信号がローパスフィルタ80を通ると、図16（C）のような波形となり、黒であるはずの部分の信号がゼロにならないため「黒浮き」と呼ばれる現象が起こる。ところが、この実施例に従って、加算回路48によってオフセット値を加算すると、ゼロクリップ回路84の出力信号は図17（B）に示す波形となる。これをローパスフィルタ80で処理すると、図17（C）に示す波形となり、その後第2減算回路88によってオフセット値を減算することによって、図18（D）に示すように、光学的黒部分の信号はほぼゼロとなり、「黒浮き」のない画像信号を得ることができる。

【0041】先に説明したように、このオフセット値はAGC回路42の利得に応じて変化させる。すなわち、利得が大きいたまはノイズも大きくなるのでオフセット値を大きくして黒浮きを防ぎ、利得が小さいときにはノイズも小さいので、オフセット値を小さくして信号のダイナミックレンジを大きくする。前記第1実施例においては、固体撮像ユニットは、垂直2画素の電荷を混合して出力するように構成したが、更にカラーフィルタとして図20のような原色のカラーフィルタを用い、固体撮像ユニットとして図21のように水平転送CCD20a、20bを備え、垂直画素数480と同数のライン数の信号を読み出す、すなわち、垂直2画素の電荷を混合することなく全画素のデータを1フィールドに1回読み出すことにより解像度を向上させることができるデュアルチャンネル構造のものを使用することも可能である。そこで、このような固体撮像ユニット112を用いた実施例を第2実施例として説明する。

【0042】通常速度撮影モードにおいては、固体撮像ユニット112は図22に示すフィールド蓄積モードに従って動作する。すなわち、1フィールドに1回、フォトダイオード14に蓄積された電荷が垂直転送CCD16に読み出された後に、垂直転送CCD16に連続的に出力される2個の垂直転送パルスに従って、1Hに1回、2ライン分の電荷がそれぞれ水平転送CCD20a、20bに同時に転送される。水平転送CCD20a、20bは水平転送クロックに従って、それぞれ1Hに1ライン分の電荷を出力する。すなわち、水平転送CCD20aからは、1、3、5、…と奇数ラインの出力が第1チャンネル側の出力として出力され、水平転送CCD20bからは、2、4、6、…と偶数ラインの出力が第2チャンネル側に出力として出力される。

【0043】こうして得られた2チャンネルのCCD出力は、図23に示すようにチャンネル毎に信号処理回路30a、30bに入力される。ここで、信号処理回路30a、30bの構成は、図9の信号処理回路30と同一構成をしており、同一の動作により各チャンネルの出力がそれぞれ独立にクランプされる。各信号処理回路30a、30bからの出力は、スイッチ132、232を経て補間処理回路100に入力される。この補間処理回路100は図24のように構成される。すなわち、スイッチ132を経て入力されるチャンネル1側のCCD出力は、直接または1H遅延回路116を介してそれぞれD0、D2として選択回路118に供給され、スイッチ232を経て入力されるチャンネル2側のCCD出力は、直接または1H遅延回路117を介して、それぞれD1、D3として選択回路118に供給される。1H遅延回路116、117は、入力されるCCD出力を1H期間記憶することのできるメモリであり、この回路を通過することにより1H遅延したCCD出力が得られることになる。なお、この1H遅延回路への信号の書き込みおよび読み出しは、水平転送CCDでの水平転送に同期して実行される。

【0044】選択回路118は、D0～D3の隣接する4ライン分のデジタル信号から、奇数フィールドか偶数フィールドかに応じて、3ライン分のデジタル信号を出力L0、L1、L2として選択するもので、奇数フィールドではD1、D2、D3の信号が選択され、偶数フィールドでは、D0、D1、D2の信号が選択されることになる。

【0045】選択回路の3出力L0、L1、L2は、それぞれ遅延回路130に入力され、さらにこの遅延回路130出力はそれぞれ遅延回路131に入力される。ここで、遅延回路130、131はともに1画素分が伝送されるに要する時間と等しい遅延時間を備えた遅延手段であり、両遅延回路出力は選択回路出力L0、L1、L2と共に補間演算回路132に入力される。したがって、補間演算回路には、選択回路にて選択された隣接する3ライン毎に隣接する3画素の合計9画素分の信号が同時に補間演算回路132に入力される。

【0046】この補間演算回路132では、カラーフィルタのフィルタ配列が3原色をモザイク状に配列した関係から、いずれの画素からもR、G、Bのいずれか一つの信号しか得られないことを考慮して、他の2色の信号を周囲の画素から補間する動きを為す。このとき、固体撮像ユニット112上の画素の配列と選択される画素との関係を図示すると図25となる。先に述べたように、奇数フィールド時には、D1、D2、D3のライン信号が選択されるから、奇数番目の画素のパターンは図25の（b）に示されるものとなる。また、偶数番目の画素のパターンは（c）の如くなる。一方、偶数フィールド時には、D0、D1、D2のライン信号が選択されるの

で、奇数番目の画素のパターンは(d)、偶数番目の画素のパターンは(e)の如くなる。なお、(a)は固体撮像ユニット112上の一部の画素の配列を模式的に示すものである。

【0047】図24から明らかなように、各種タイミング信号に基づいて、処理対象のフィールドが奇数あるいは偶数のいずれのフィールドか、また処理対象の画素が奇数番目か偶数番目かが決定されると、処理対象の画素を中央に有する9画素の画素パターンが(b)~(e)のいずれかに決定でき、この画素パターンが予め決定できればこれらの9画素のいずれの画素信号を用いて補間すればよいかが予め決定できる。たとえば、(b)の場合には、中央の画素からはG信号が得られるのでG信号をそのまま出力し、R信号は中央の縦列の上下の2画素から得られるのでこれらの2画素の信号を平均してR信号として出力し、B信号は中央の横列の左右の2画素から得られるのでこれらの2画素の信号を平均してB信号として出力する。また、(c)の場合には、RおよびG信号は隣接する4画素の同色信号を平均して得られる。

【0048】このようにして補間演算回路132では、処理対象の画素の欠落する2色の色信号を周辺の同一色の画素の信号から作成して補間することで、各画素のR、G、B信号が出力される。こうして得られたR、G、Bのビデオ信号は、記録回路およびビューファインダに供給される。一方、高速撮影モードにおいては、固体撮像ユニット112の駆動は図26の如く行われる。図7との違いは、垂直転送パルスは $1/2H$ に2個ずつかつ、 $1/4$ フィールド毎の水平ブランキング期間に240個ずつ出力される点および不要電荷掃き出しパルスも同様に $1/2H$ に2個ずつかつ、 $1/4$ フィールド毎に240個ずつ出力される点である。これによって、水平転送CCD20aからは1~239の奇数ラインの信号が、水平転送CCD20bからは2~240の偶数ラインの信号が同時に得られる。

【0049】また、各チャネル出力用に並び替え回路34と同一構成の並び替え回路34a、34bが別々に配置され、並び替え回路34と同一の動作を実行して、並び替えを行った上でスイッチ132、232を経て補間処理回路100にて補間処理が実行され、こうして得られたビデオ信号が記録回路および拡大回路40に入力されて拡大してビューファインダに映出される。

【0050】なお、上述の両実施例では、CCDイメージャが補色および原色のモザイク型カラーフィルタを有する場合について説明した。しかしながら、この発明は、ストライプ型カラーフィルタを有するCCDからの出力信号を処理する場合にも適用できる。すなわち、この図19に示すクランプレベル算出回路50'は、図11のクランプレベル算出回路50と同様に、選択回路52、加算回路54、アンドゲート56、加算レジスタ262、選択回路58'、59および60'、選択回路5

2'、クランプ値レジスタ68および選択回路74'を含む。選択回路52'および74'は、ストライプ型カラーフィルタ(図示せず)の各画素毎にハイレベルとなる信号(色分離パルス)SELABCによって制御され、信号SELABCが第1画素のときハイレベルであれば、選択回路52'および74'が上側入力を選択し、信号SELABCが第2画素のタイミングでハイレベルのとき選択回路52'および74'は真中の入力を選択し、そして信号SELABCが第3画素のタイミングでハイレベルのとき選択回路52'および74'は下側入力を選択する。それ以外の動作については、先の図11の動作から容易に理解できるので、ここでは詳細な説明の繰り返しを省略する。いずれにしても、図19の回路では3画素毎に各々の画素に対応するクランプレベルを算出する。

【図面の簡単な説明】

【図1】この発明の第1実施例を示すブロック図である。

【図2】図1実施例の固体撮像素子ユニットを示す図解図である。

【図3】図2実施例における通常速度撮影モード(第1撮影モード)の動作を示すタイミング図である。

【図4】図1実施例における4倍速撮影モード(第2撮影モード)の画面の構成を示す図解図である。

【図5】図2実施例における4倍速撮影モード(第2撮影モード)の動作を示すタイミング図である。

【図6】図1実施例の並び替え回路を示すブロック図である。

【図7】図6実施例のメモリの書き込み動作を示すタイミング図である。

【図8】図6実施例のメモリの読み出し動作を示すタイミング図である。

【図9】図1実施例の信号処理回路を示すブロック図である。

【図10】図9実施例においてクランプレベルを算出するための前縁OBレベル検出エリアおよび後縁OBレベル検出エリアを示す図解図である。

【図11】図9実施例におけるクランプレベル算出回路の一例を示すブロック図である。

【図12】第1所定期間における図11のクランプレベル算出回路の動作を示すタイミング図である。

【図13】第2所定期間における図11のクランプレベル算出回路の動作を示すタイミング図である。

【図14】図9実施例における第1所定期間および第2所定期間を規定するタイミングジェネレータの一部を示すブロック図である。

【図15】前縁OBレベル検出エリアおよび後縁OBレベル検出エリアを示すタイミング図である。

【図16】図9実施例においてオフセット値を加算しかつ減算しない場合の比較例を示す波形図である。

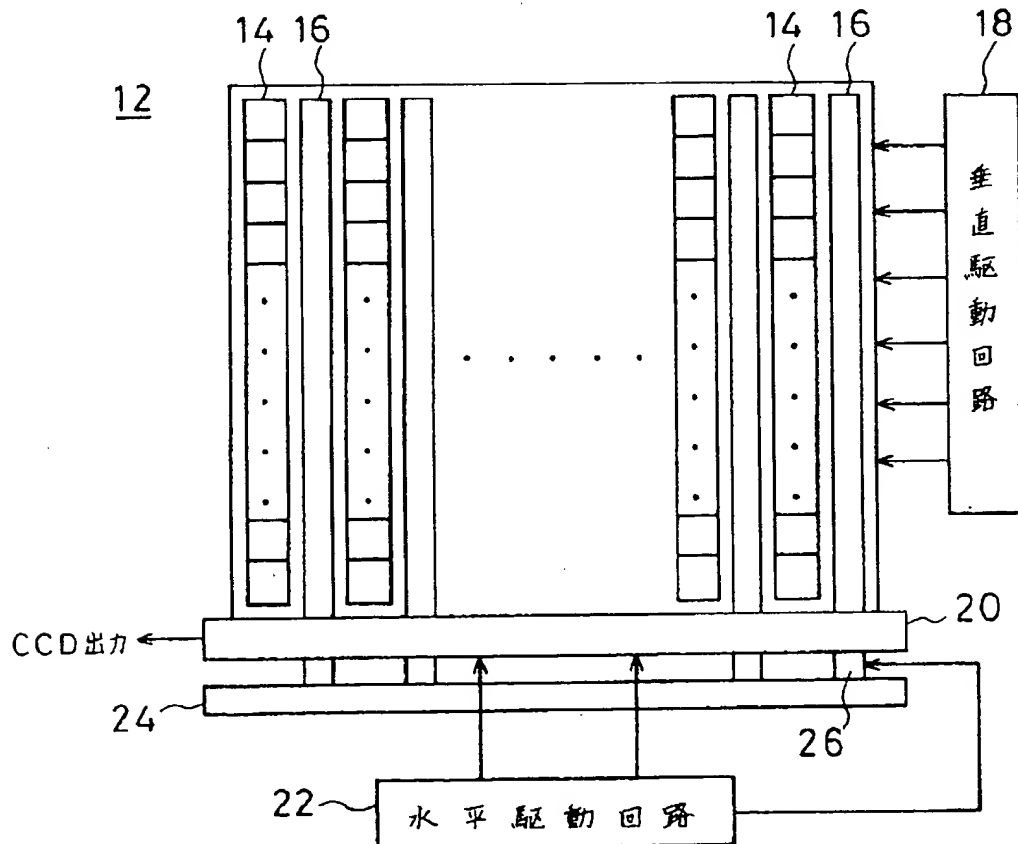
【図17】図9実施例の動作を示す波形図である。
 【図18】図1実施例に使用されるモザイク型カラーフィルタの配列を示す図解図である。
 【図19】図9実施例においてストライプ型カラーフィルタのCCDイメージを用いた場合のクランプレベル算出回路を詳細に示すブロック図である。
 【図20】この発明の第2実施例に使用されるモザイク型カラーフィルタの配列を示す図解図である。
 【図21】第2実施例の固体撮像素子ユニットを示す図解図である
 【図22】第2実施例における通常速度モード（第1撮影モード）の動作を示すタイミング図である。
 【図23】第2実施例のブロック図である。
 【図24】図23実施例の補間処理回路を示すブロック図である。
 【図25】図23実施例の補間処理回路での補間処理を説明するための図である。
 【図26】第2実施例における4倍速撮影モード（第2

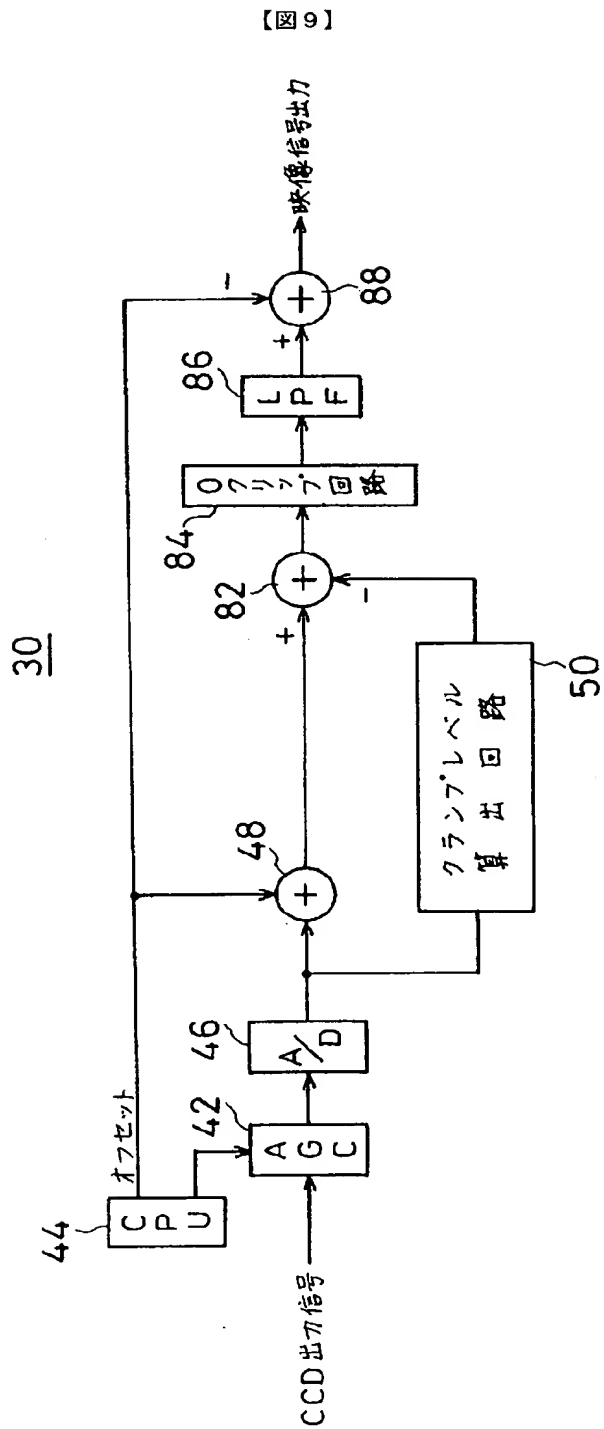
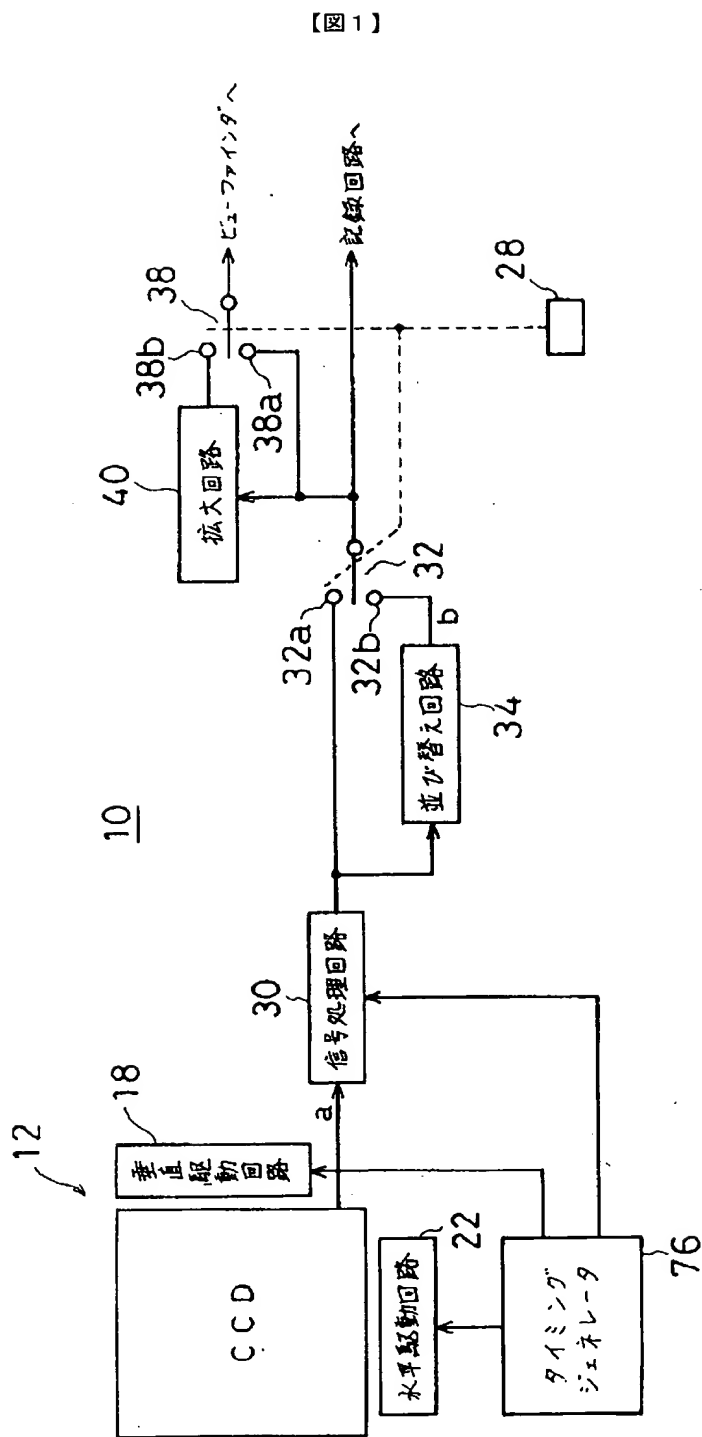
撮影モード）の動作を示すタイミング図である。

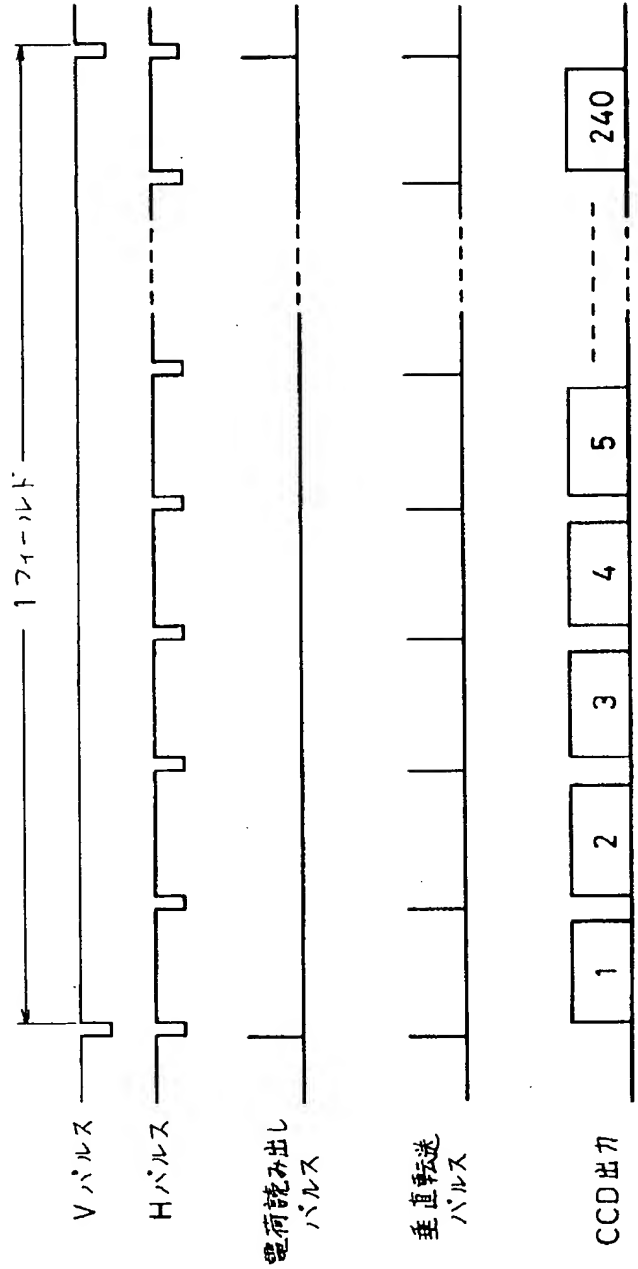
【符号の説明】

10 …デジタルビデオカメラ
 12, 112 …固体撮像素子ユニット
 28 …4倍速スイッチ
 42 …AGC回路
 44 …CPU
 46 …A/D変換器
 48 …加算回路
 50, 50' …クランプレベル算出回路
 78 …前縁クランプタイミング回路
 80 …後縁クランプタイミング回路
 81 …スイッチ
 82 …第1減算回路
 84 …ゼロクリップ回路
 86 …ローパスフィルタ
 88 …第2減算回路

【図2】







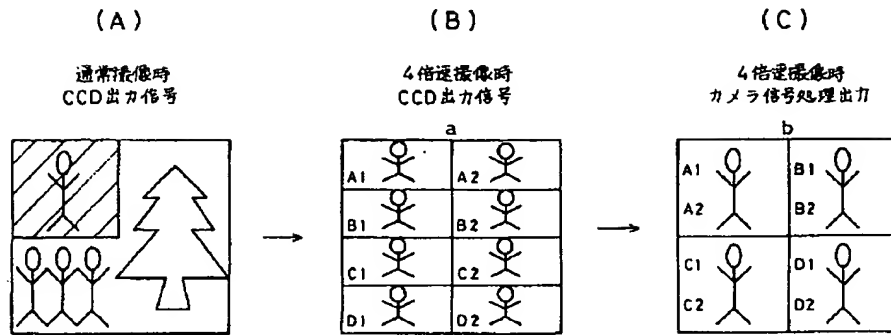
【図 3】

$R+B$	G	$R+B$	G	$R+G+2B$	$R+2G$	$2G-B$	$2R+G+B$	$2G+B$	$2R+G+B$
$G+B$	$R+G$	$G+B$	$R+G$	$R+G+2B$	$R+2G$	$2G-B$	$2R+G+B$	$2G+B$	$2R+G+B$
G	$R+B$	G	$R+B$	$2G+B$	$2R+G+B$	$R+G+2B$	$R+2G$	$R+G+2B$	$R+2G$
$G+B$	$R+G$	$G+B$	$R+G$	$2G+B$	$2R+G+B$	$R+G+2B$	$R+2G$	$R+G+2B$	$R+2G$
$R+B$	G	$R+B$	G	$2G+B$	$2R+G+B$	$R+G+2B$	$R+2G$	$R+G+2B$	$R+2G$

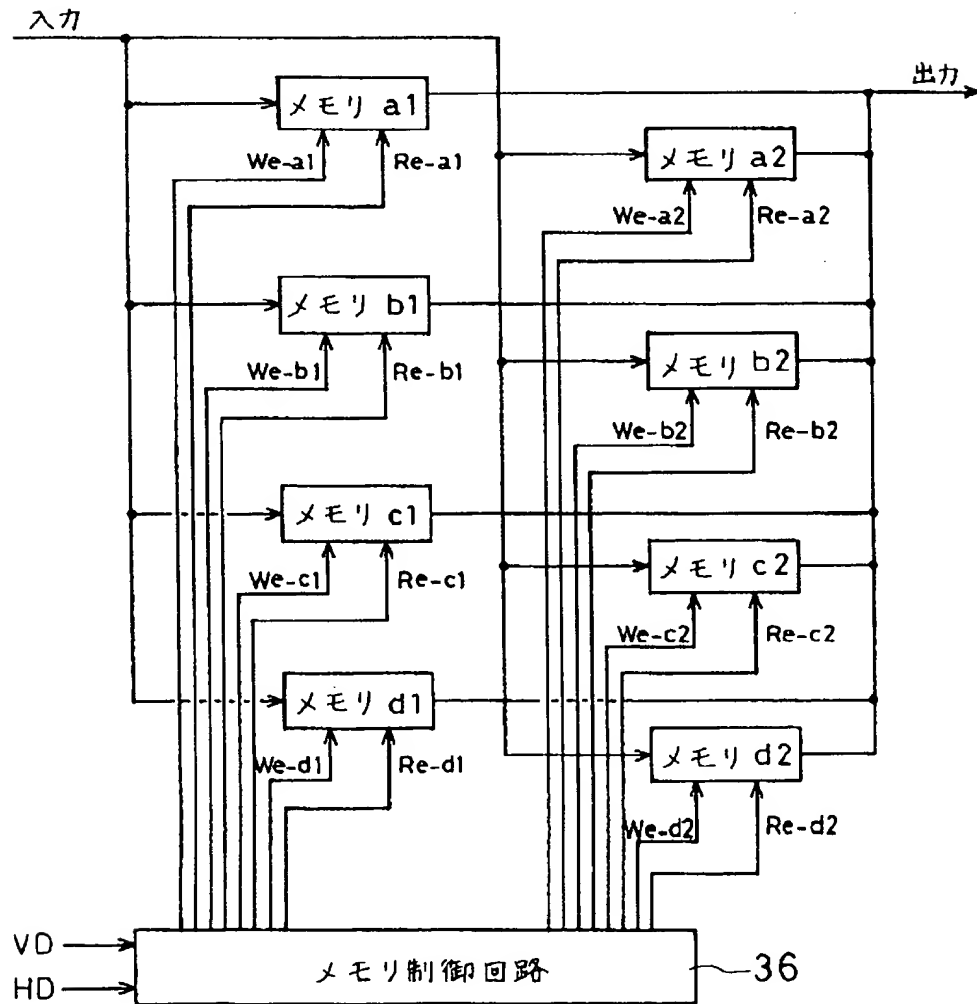
【図 18】

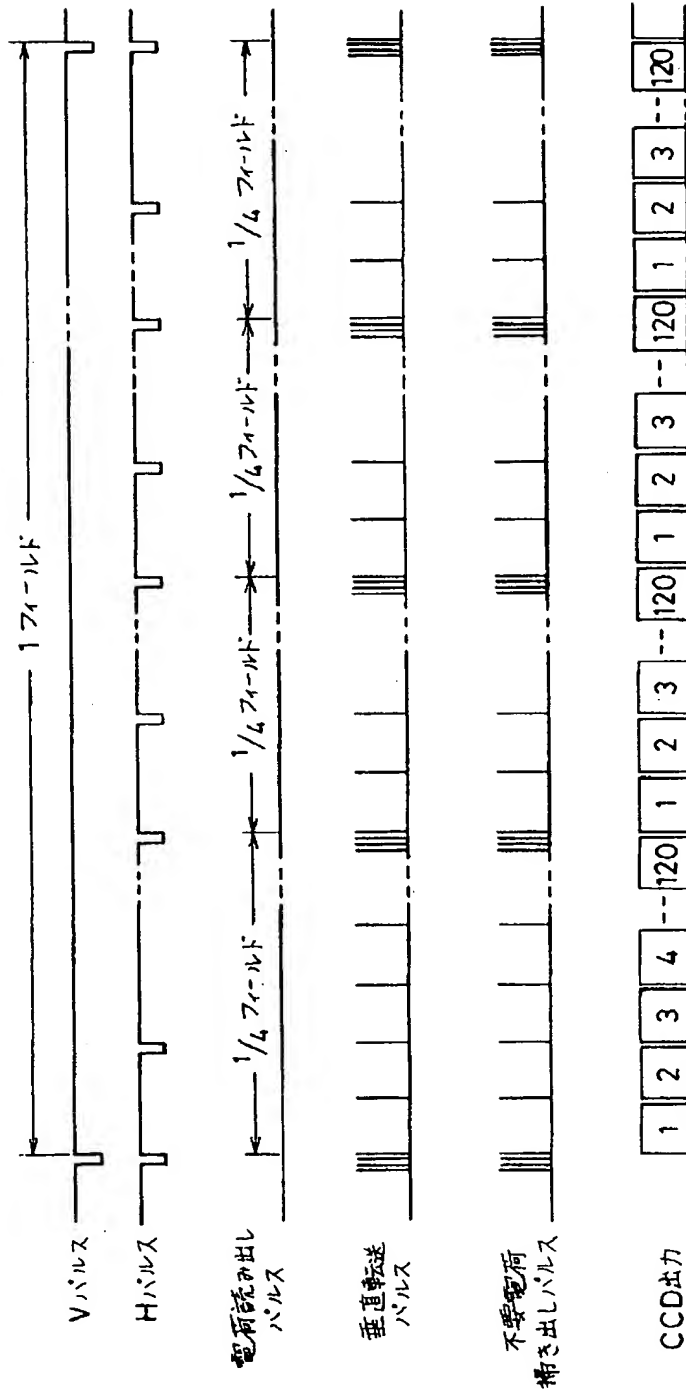
(a) 補色カラーフィルタ配列 (b) 奇数フィールド撮像信号 (c) 偶数フィールド撮像信号

【図4】



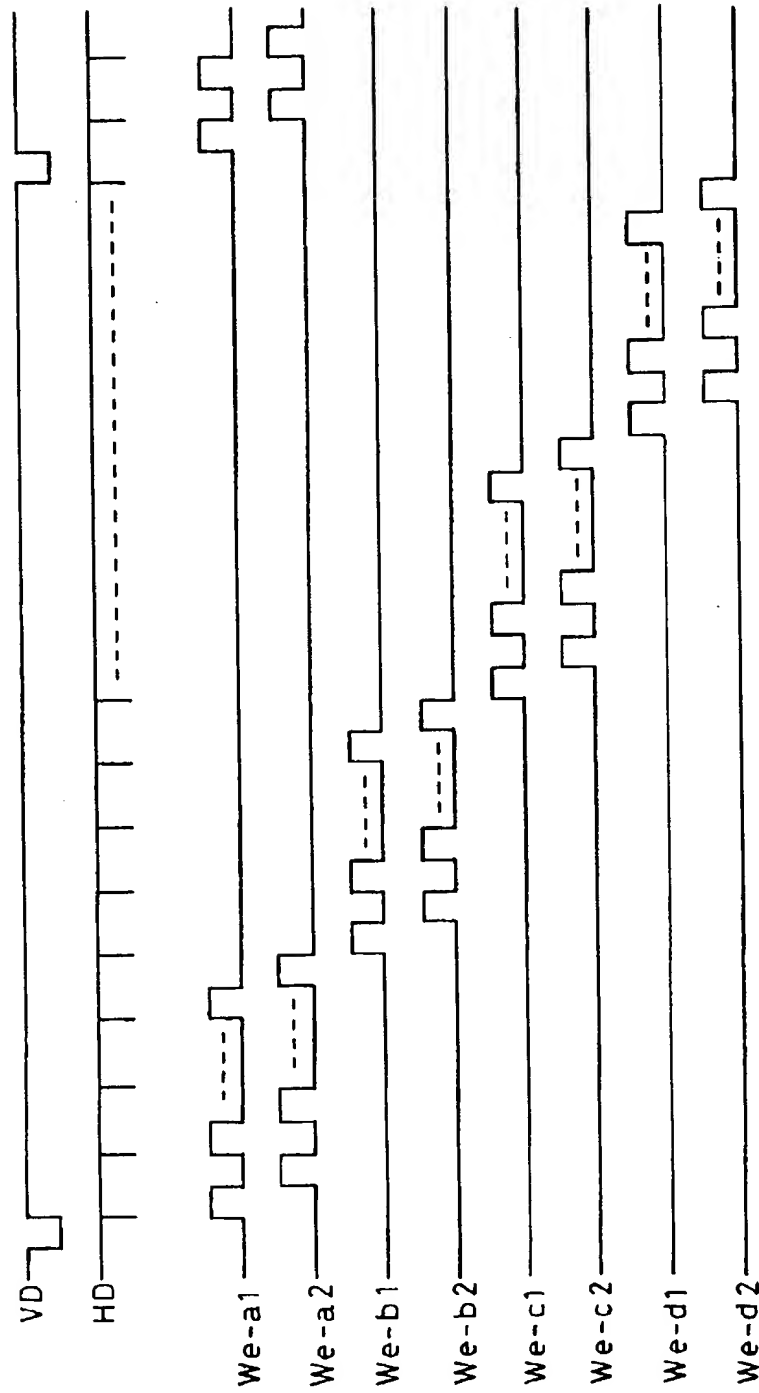
【図6】





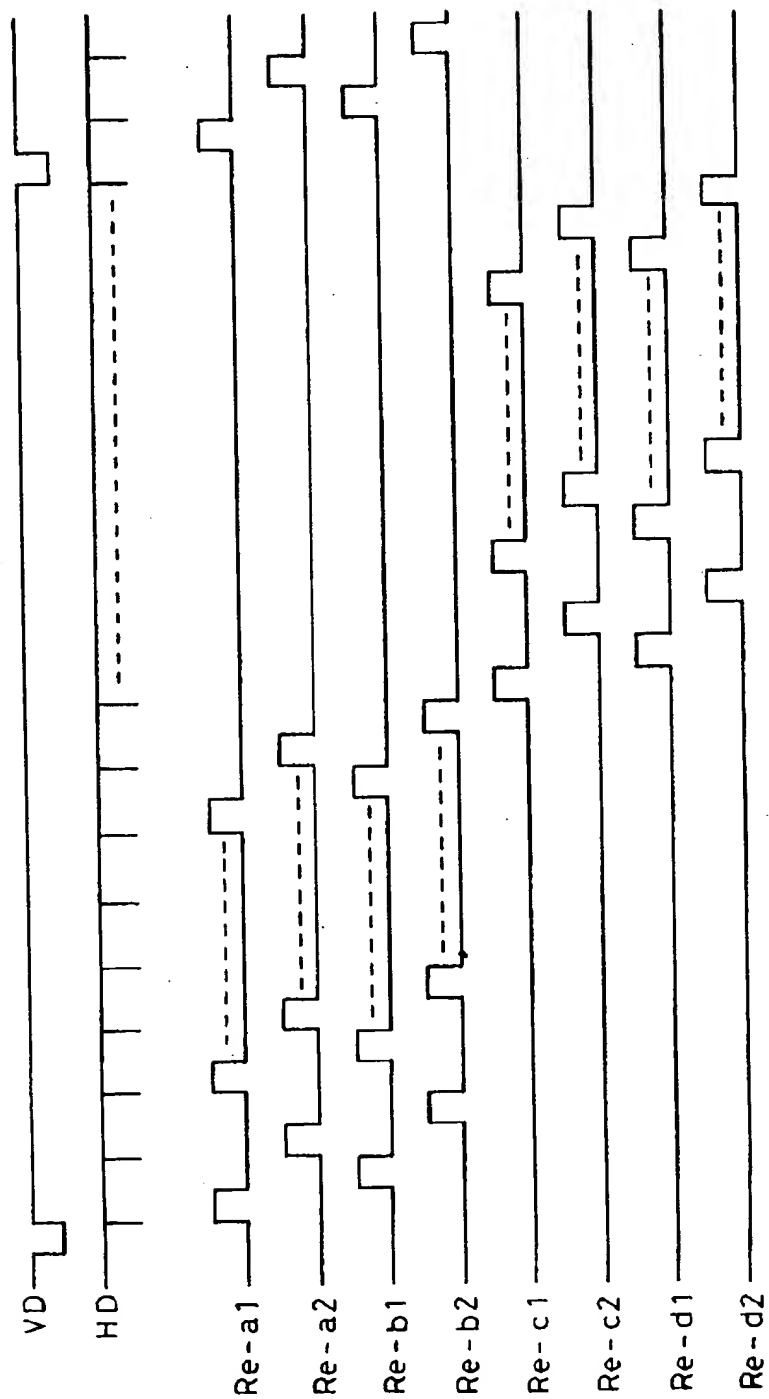
【図5】

【図7】



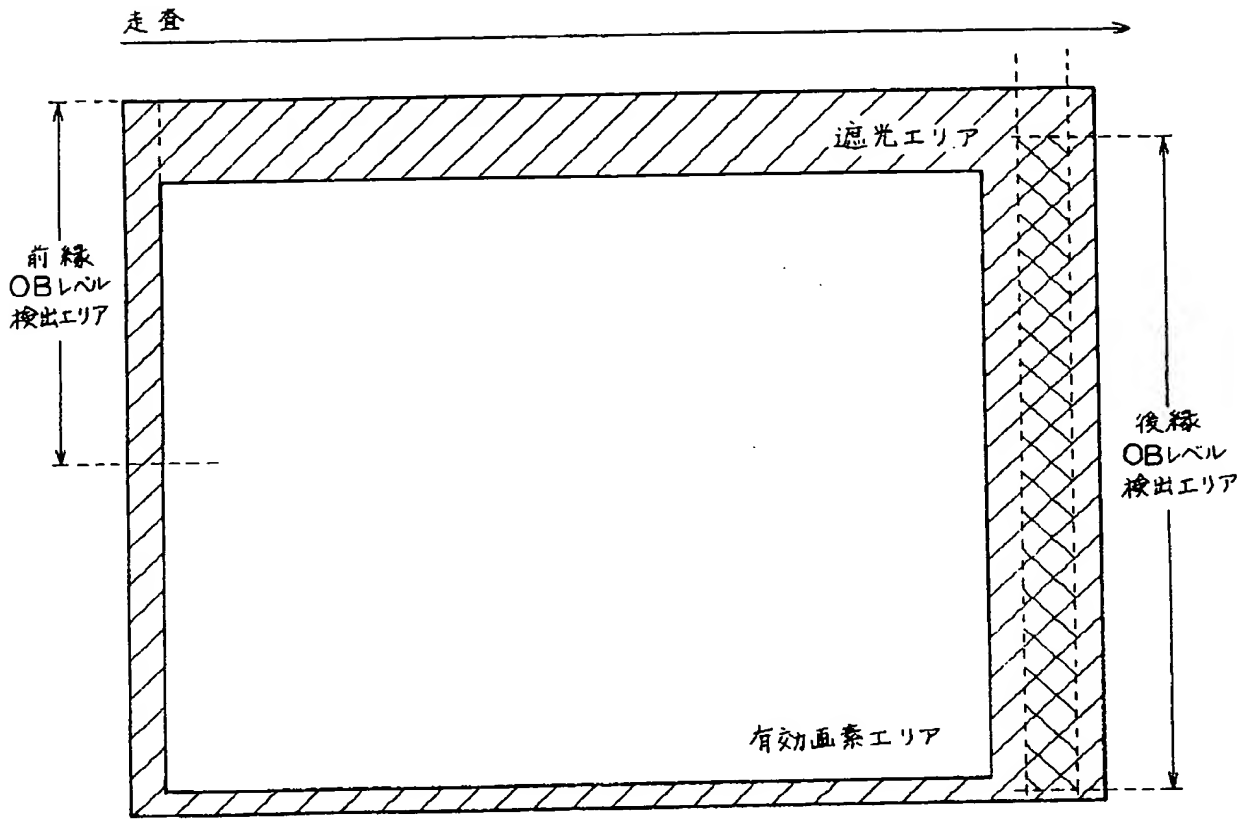
メモリ書き込み制御

【図8】

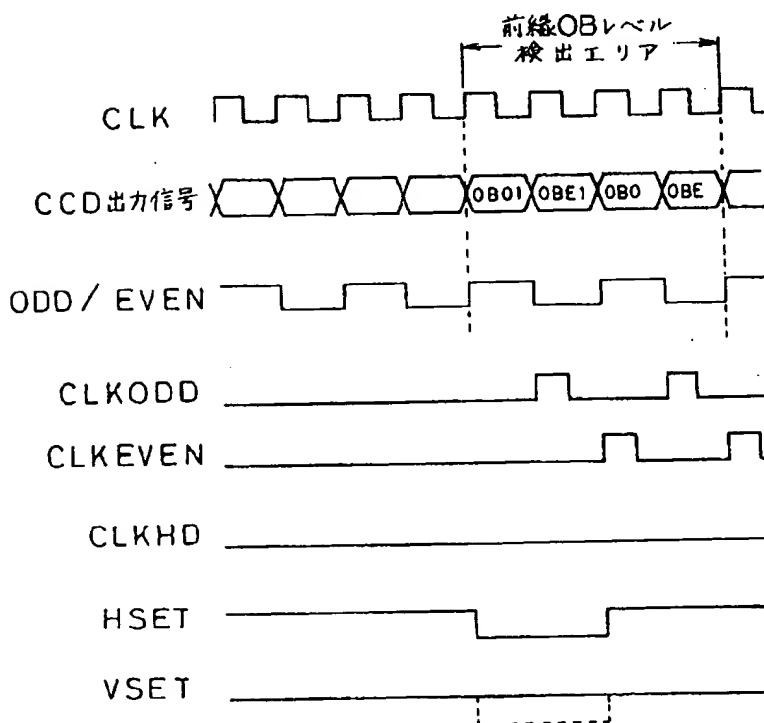


メモリ読み出し制御

【図10】



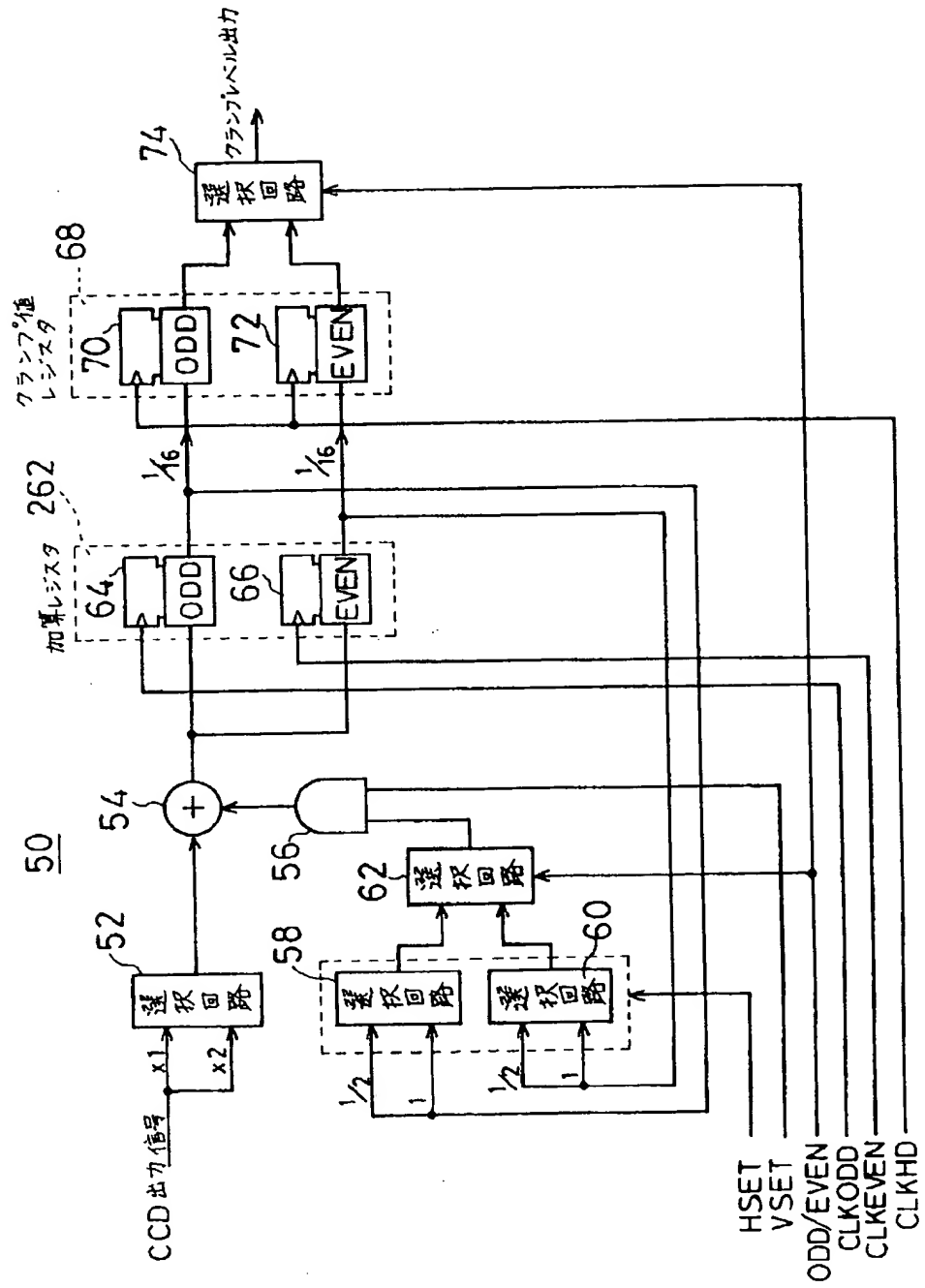
【図13】



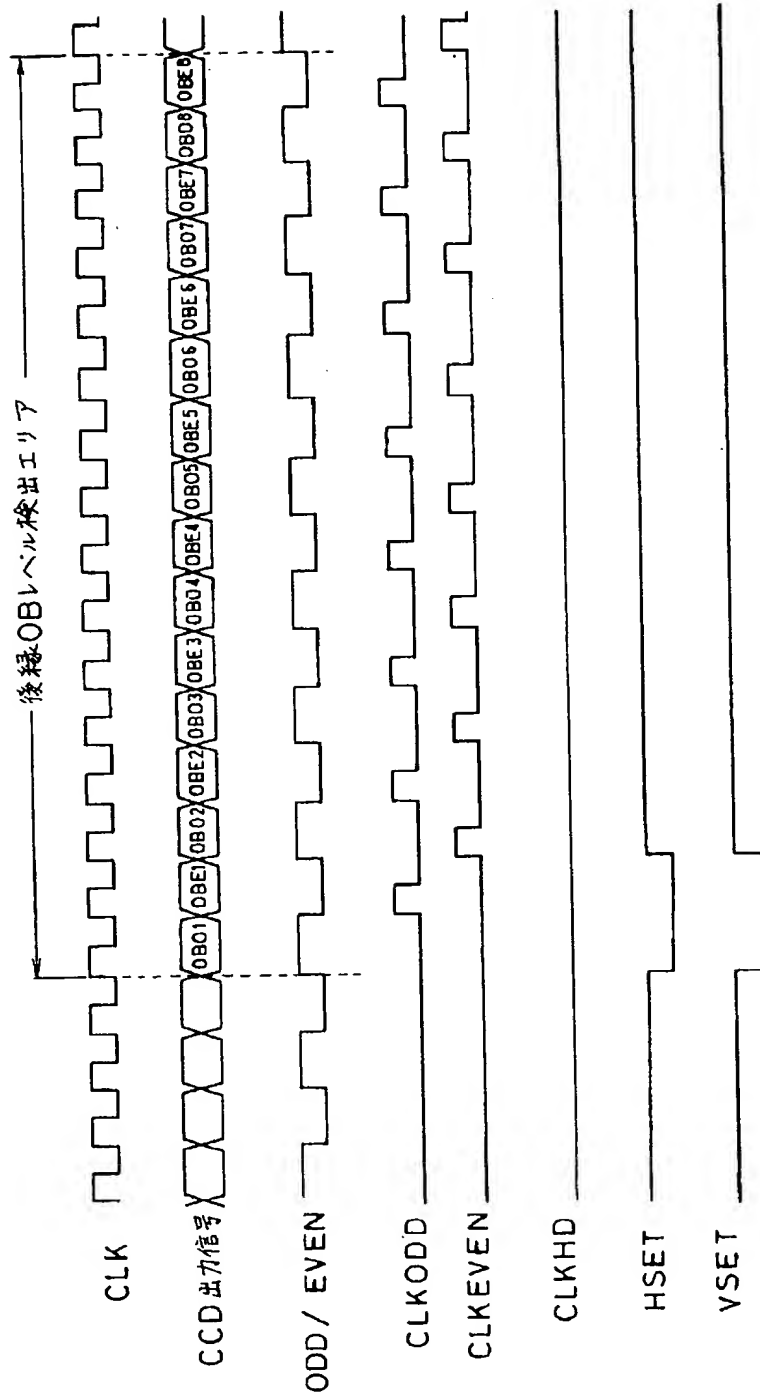
【図20】

G	R	G	R	G	R	G	R
B	G	B	G	B	G	B	G
G	R	G	R	G	R	G	R
B	G	B	G	B	G	B	G
G	R	G	R	G	R	G	R
B	G	B	G	B	G	B	G
G	R	G	R	G	R	G	R
B	G	B	G	B	G	B	G

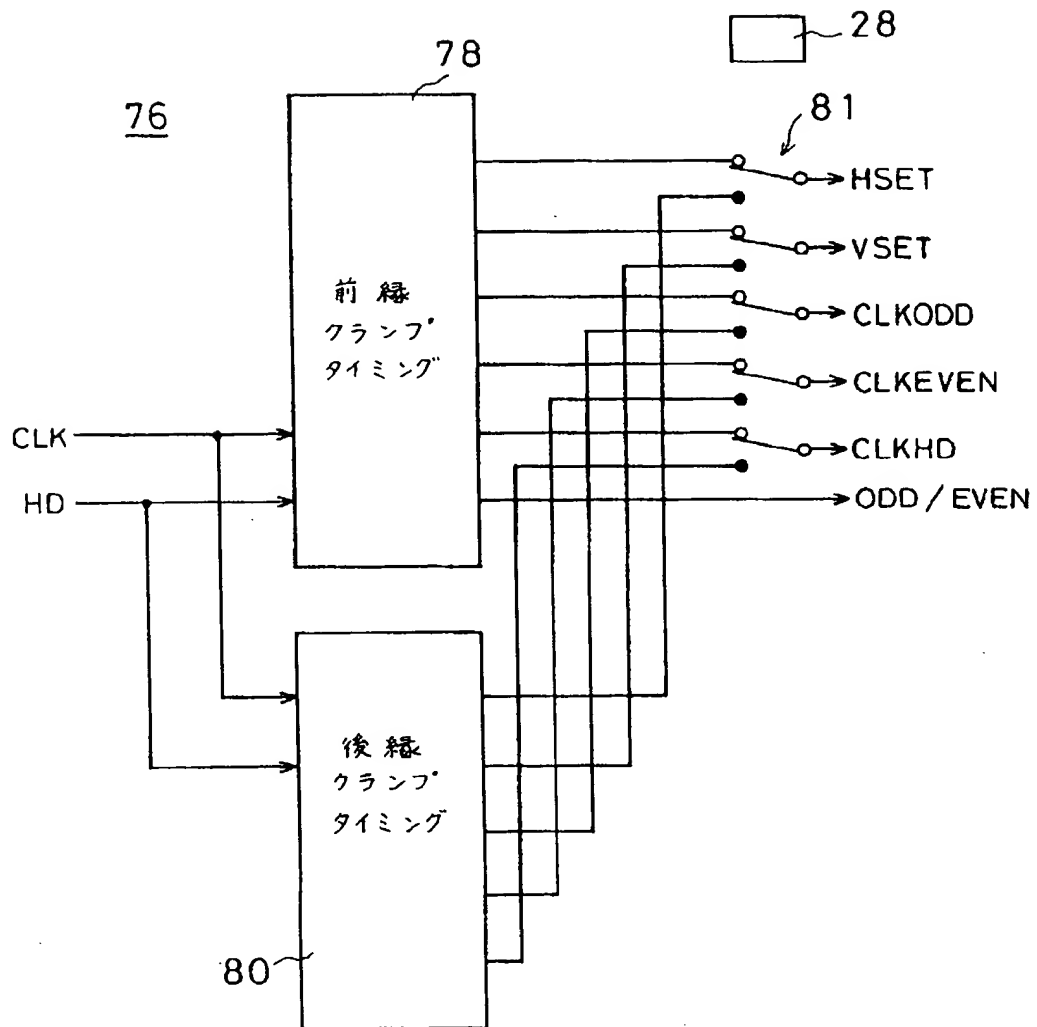
【図11】



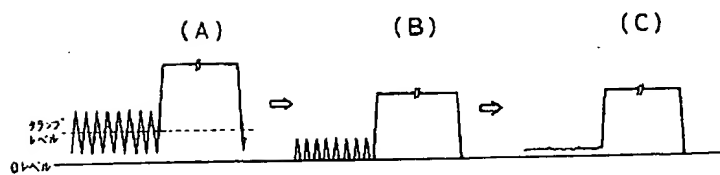
【図 12】



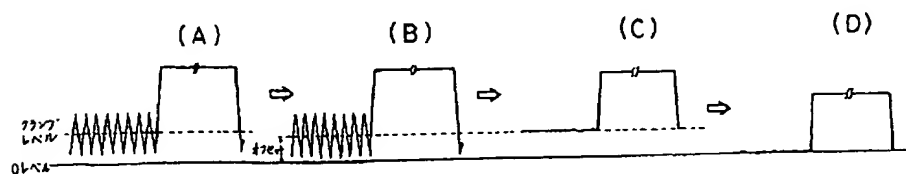
【図14】



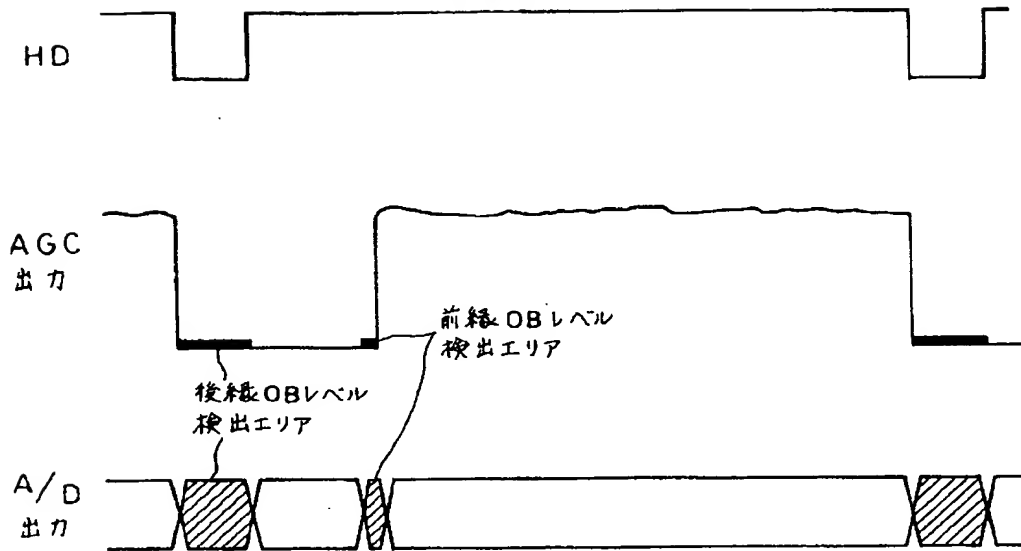
【図16】



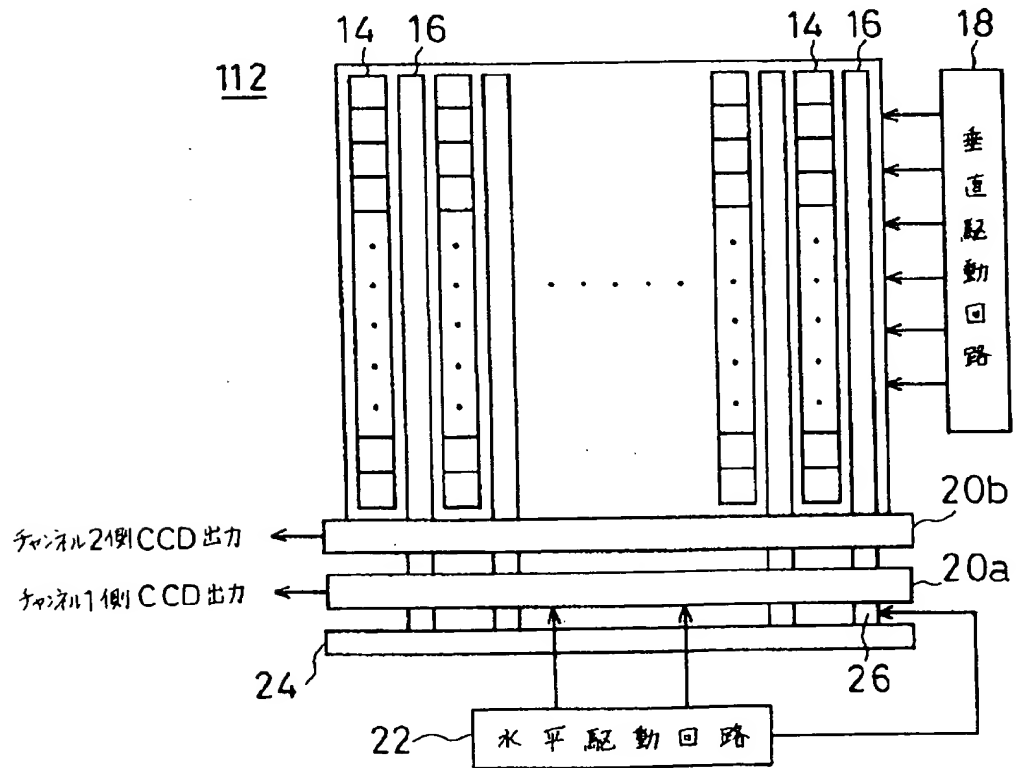
【図17】



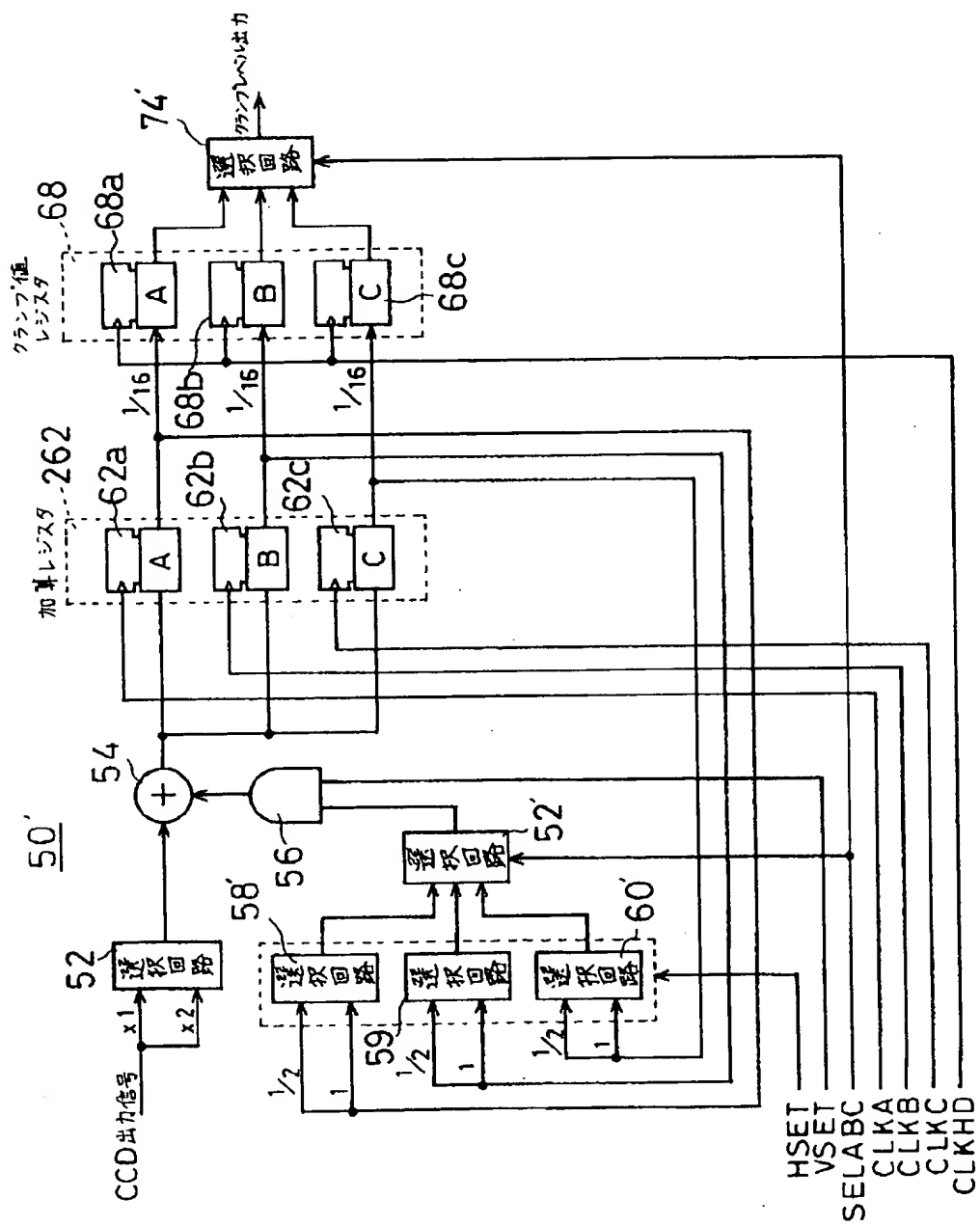
【図15】

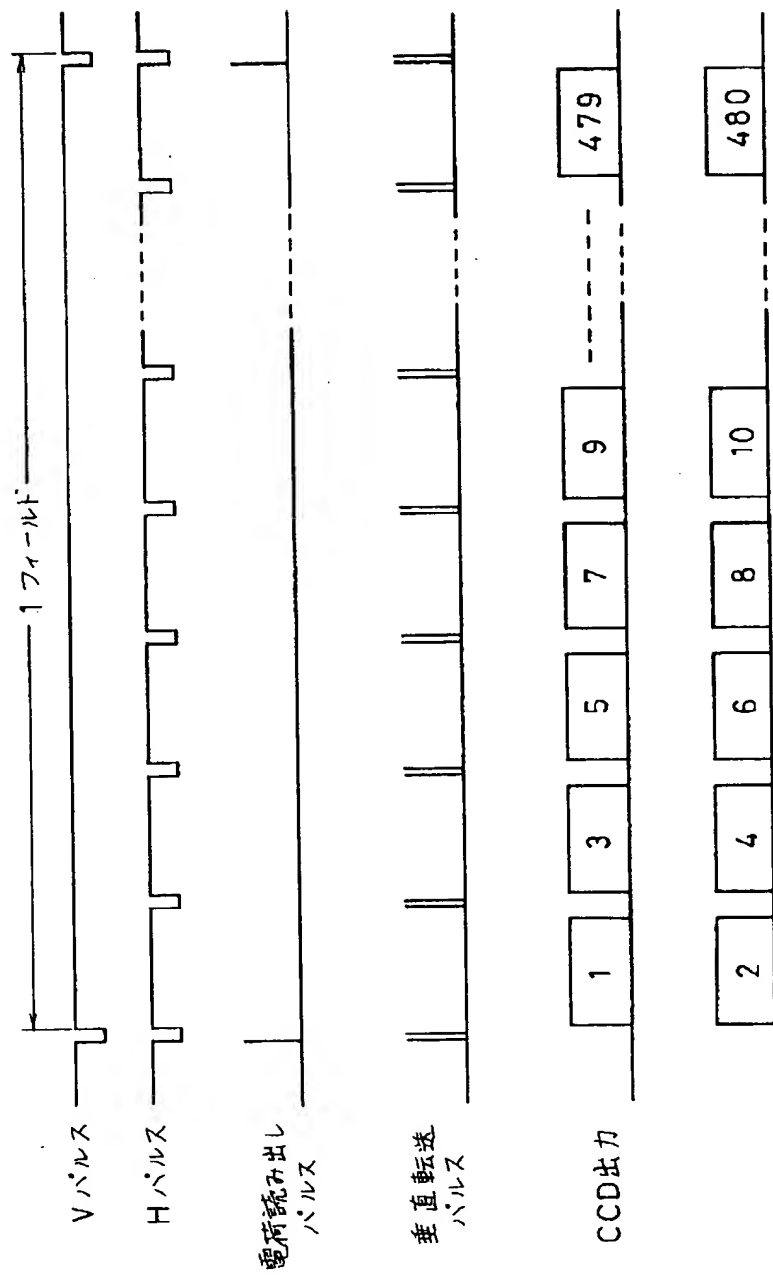


【図21】



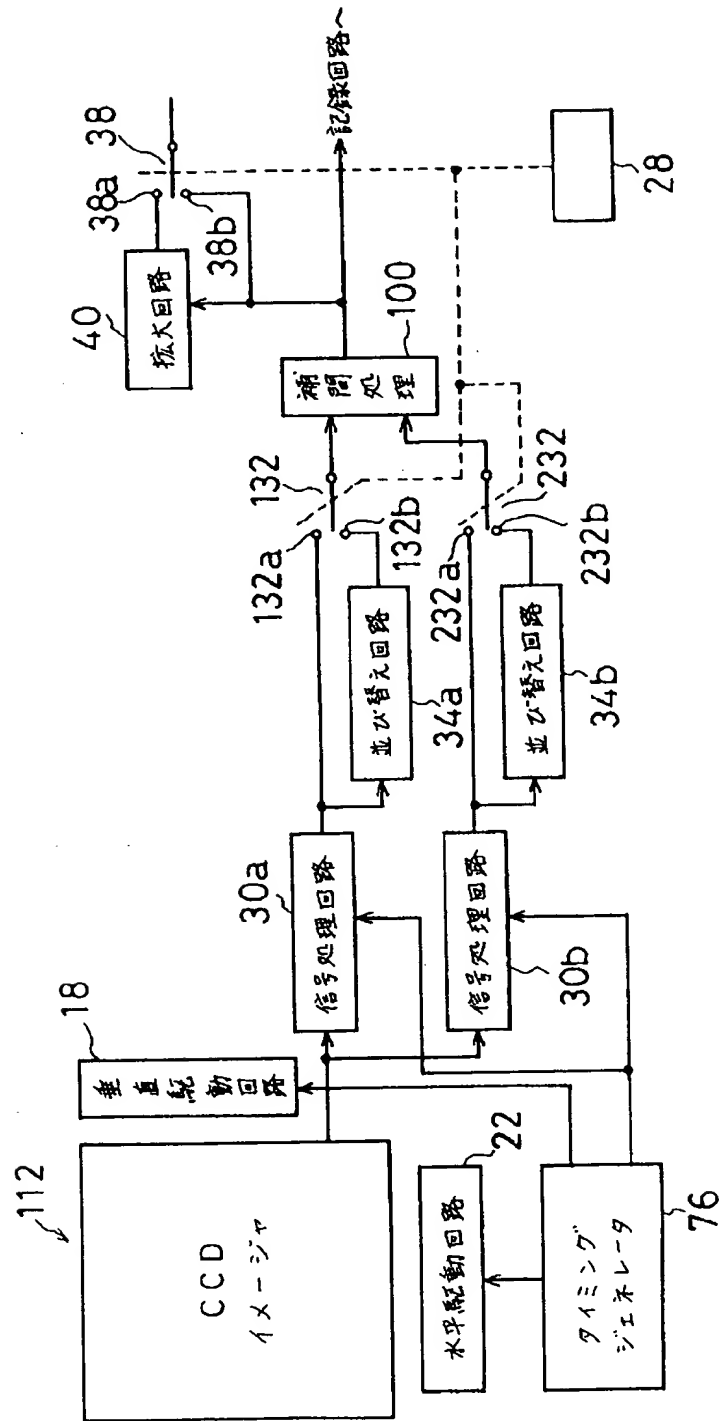
【図19】



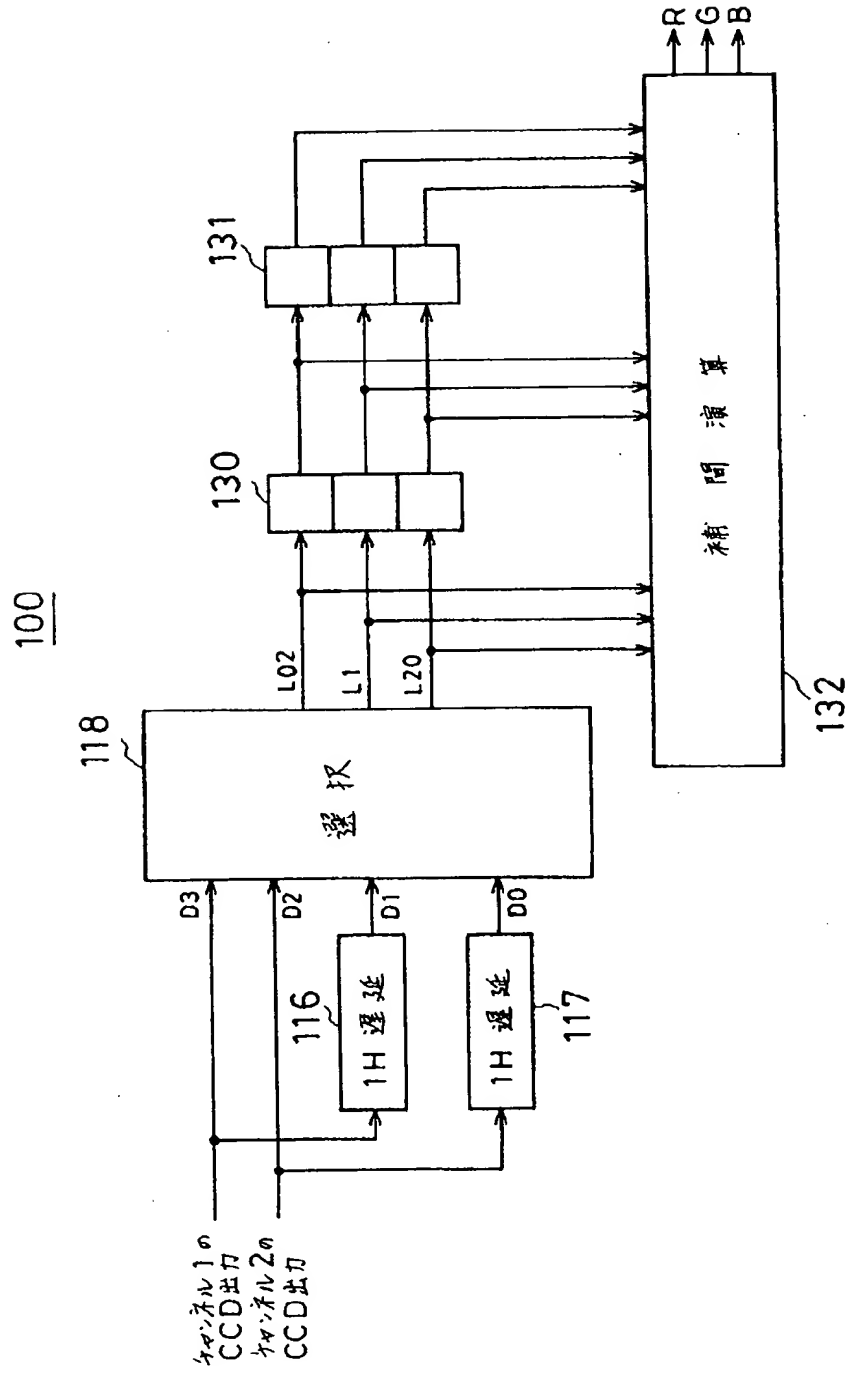


【図22】

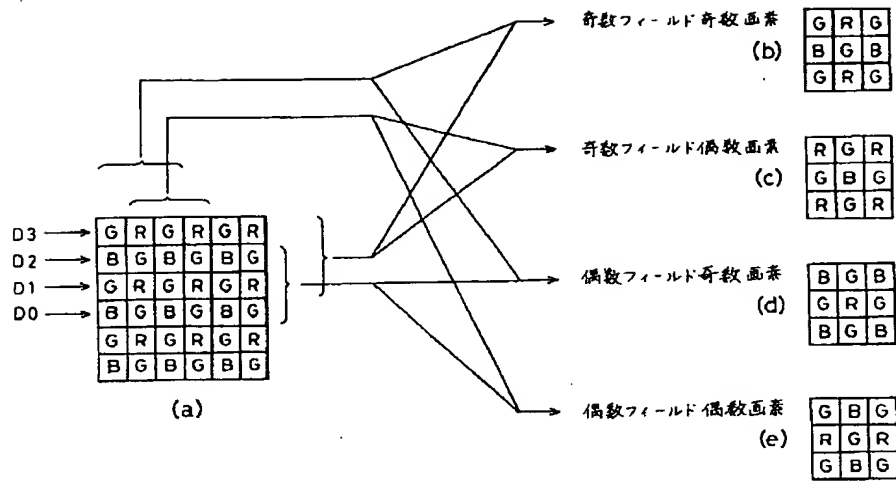
【図23】



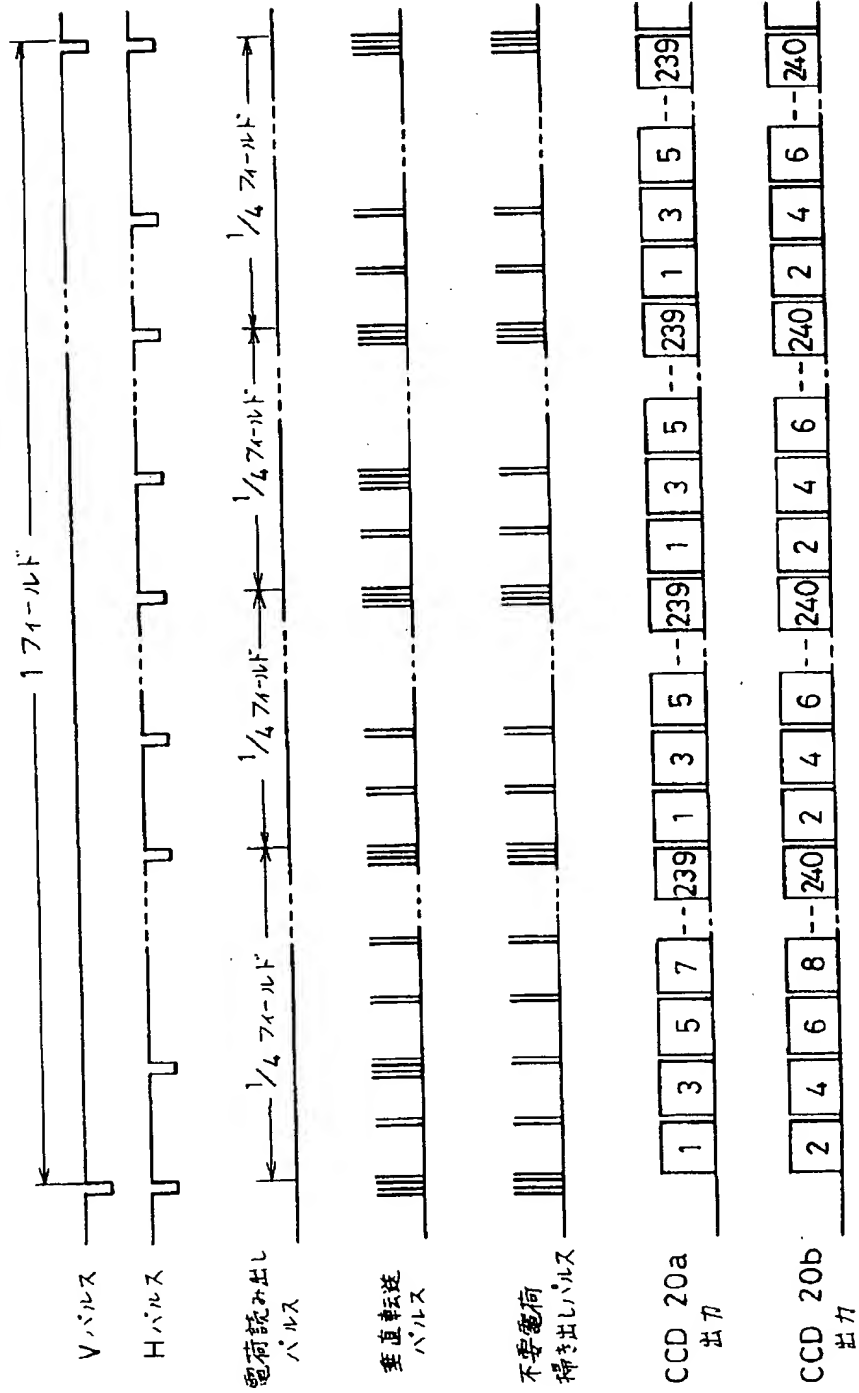
【図24】



【図 25】



【図26】



フロントページの続き

(72)発明者 岡田 秀史
大阪府守口市京阪本通2丁目5番5号 三
洋電機株式会社内

(72)発明者 村田 治彦
大阪府守口市京阪本通2丁目5番5号 三
洋電機株式会社内

(72) 発明者 小林 篤
東京都品川区北品川 6 丁目 7 番 35 号 ソニ
ー株式会社内

(72) 発明者 石上 富士
東京都品川区北品川 6 丁目 7 番 35 号 ソニ
ー株式会社内

(72) 発明者 内藤 靖彦
東京都品川区北品川 6 丁目 7 番 35 号 ソニ
ー株式会社内